



PCT

特許協力条約に基づいて公開された国際出願

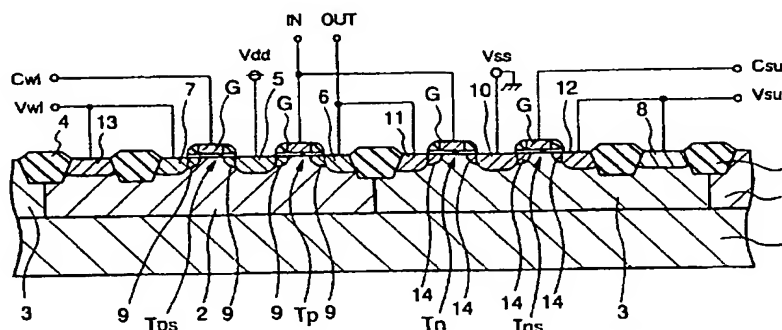
<p>(51) 国際特許分類6 H01L 27/092</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/21247</p> <p>(43) 国際公開口 1997年6月12日 (12.06.97)</p>
<p>(21) 国際出願番号 PCT/JP96/03469</p> <p>(22) 国際出願日 1996年11月27日 (27.11.96)</p> <p>(30) 優先権データ 特願平7/315459 1995年12月4日 (04.12.95)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 中山道明(NAKAYAMA, Michiaki)(JP/JP) 〒205 東京都羽村市緑ヶ丘2-1-16 日立富士見荘A102 Tokyo, (JP) 濱本正人(HAMAMOTO, Masato)(JP/JP) 〒358 埼玉県入間市小谷田1-17-31 Saitama, (JP) 森 和孝(MORI, Kazutaka)(JP/JP) 〒187 東京都小平市栄町87-25 Tokyo, (JP) 磯村 悟(ISOMURA, Satoru)(JP/JP) 〒205 東京都羽村市神明台1-31-44 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND PROCESS FOR MANUFACTURING THE SAME

(54) 発明の名称 半導体集積回路装置およびその製造方法

(57) Abstract

A semiconductor integrated circuit device having a CMOS circuit, in which an n-type well (2) where one transistor T_p constituting the CMOS circuit is provided is electrically connected to a first power supply voltage line Vdd through a switching transistor Tps and a p-type well (3) where the other transistor Tn constituting the CMOS circuit is provided is electrically connected to a second power supply voltage line Vss through a switching transistor Tns. Thus, thermal runaway of the device due to leak current during the test is prevented by turning off the transistors Tps and Tns and supplying potentials suitable for the tests to the wells (2 and 3) from the outside. While the device is normally operated, latch up and variation of the operating speed of the device is prevented by turning on the transistors Tps and Tns and respectively setting the wells (2 and 3) at power supply voltages Vdd and Vss.



2 : n型ウェル
3 : p型ウェル
Tps : スイッチ用トランジスタ
Tns : スイッチ用トランジスタ
Vdd : 第1の電源電圧線
Vss : 第2の電源電圧線
Vsu : ウェル給電用線
Vwl : ウェル給電用線

2 ... n-type well

3 ... p-type well

Tps, Tns ... switching transistor

Vdd ... first power supply voltage line

Vss ... second power supply voltage line

Vsu, Vwl ... feeder line for well

(57) 要約

CMOS回路を有する半導体集積回路装置において、CMOS回路を構成する一方のトランジスタ T_p の配置されたn型ウエル2と第1の電源電圧線 V_{dd} とをスイッチ用トランジスタ T_{ps} を介して電氣的に接続し、かつ、CMOS回路を構成する他方のトランジスタ T_n の配置されたp型ウエル3と第2の電源電圧線 V_{ss} とをスイッチ用トランジスタ T_{ns} を介して電氣的に接続する構成とした。そして、半導体集積回路装置の試験時には、スイッチ用トランジスタ T_{ps} 、 T_{ns} をオフし、n型ウエル2およびp型ウエル3に対して外部から試験に適した電位を供給することにより、リーク電流に起因する熱暴走を抑制することが可能な構造となっている。一方、半導体集積回路装置の通常動作時には、スイッチ用トランジスタ T_{ps} 、 T_{ns} をオンしてn型ウエル2およびp型ウエル3をそれぞれ電源電圧 V_{dd} 、 V_{ss} に設定することにより、ラッチアップおよび動作速度の変動などを防止することが可能な構造となっている。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AM	アルメニア	FI	フィンランド	LS	レソト	SD	スーダン
AU	オーストラリア	FR	フランス	LT	リトアニア	SE	スウェーデン
AZ	アゼルバイジャン	GB	イギリス	LU	ルクセンブルグ	SG	シンガポール
BB	バハマ	GE	グルジア	LV	ラトヴィア	SI	スロベニア
BE	ベルギー	GH	ガーナ	MC	モナコ	SK	スロバキア
BG	ブルガリア	GN	ギニア	MD	モルドバ	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア	TD	チャド
BY	ベラルーシ	IE	アイルランド	VI	ベトナム	TG	トーゴ
CA	カナダ	IT	イタリア	ML	マリ	TJ	タジキスタン
CC	中央アフリカ共和国	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CG	コンゴ	JP	日本	MR	モーリタニア	TR	トルコ
CH	スイス	KE	ケニア	MW	マラウイ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KZ	キルギスタン	MX	メキシコ	UA	ウクライナ
CM	カメルーン	KP	朝鮮民主主義人民共和国	NE	ニジェール	UG	ウガンダ
CN	中国	KR	大韓民国	NL	オランダ	UZ	ウズベキスタン
CZ	チェコ共和国	LI	リヒテンシュタイン	NO	ノルウェー	VN	ベトナム
DE	ドイツ	LK	スリランカ	NZ	ニュージーランド	YU	ユーゴスラビア
DK	デンマーク			PL	ポーランド		
				PT	ポルトガル		
				RO	ルーマニア		

明 細 書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、CMIS (Complimentary Metal Insulator Semiconductor) 回路を有する半導体集積回路装置技術に適用して有効な技術に関するものである。

10 背景技術

近年、半導体集積回路装置においては、高集積化、高速化および低消費電力化などを行うために種々の検討がなされている。特に、MOS・FET (Metal Oxide Semiconductor Field Effect Transistor) を有する半導体集積回路装置においては、素子集積度や動作速度を向上させるために素子や配線の微細化が必要であり、素子寸法のスケーリングが急速に進められている。

ところで、本発明者は、半導体集積回路装置におけるスケーリングについて検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

すなわち、LSI (Large Scale Integrated Circuit) などの半導体集積回路装置のスケーリングには、電圧一定のスケーリングと電界一定のスケーリングとの2種類がある。

CMOS・FETを構成要素とするCMOS型の半導体集積回路装置においては、ゲート酸化膜の信頼性を確保する観点などから主に電界一定のスケーリングが実施されている。この場合、素子特性の安定性を確保する観点などから素子寸法の縮小に比例して電源電圧も低下させる必要がある。

なお、CMOS型の半導体集積回路装置の製造技術に関する文献としては、例えば1990年12月15日、啓学出版株式会社発行のW・マリ著「図説超LSI工学」p167～p191に記載されているものがある。

ところで、前述したCMOS型の半導体集積回路装置において真にスケーリン

グ則を成立させるためには、しきい値電圧も素子寸法に比例して低くする必要がある。これは、回路動作に寄与する電圧成分が（電源電圧－しきい値電圧）の式で表せるからである。

5 しかし、しきい値電圧の低下はリーク電流の増大を招くので、半導体集積回路装置のテストに広く実施されているリーク電流試験（ I_{ddq} テスト）が不可能になると共に、エージング試験に際して、そのリーク電流の増大等による温度上昇が極めて大きくなり熱暴走を引き起こすなどの問題が発生している。

10 エージング試験に際しての熱暴走のメカニズムを図29に示す。図29において横軸は半導体集積回路装置の設定接合温度（接合温度 T_{j1} ）を表し、縦軸は接合温度 T_{j1} により生じる半導体集積回路装置の総リーク電流に起因した温度上昇分を周囲温度に加えた温度（接合温度 T_{j2} ）を表している。通常は、接合温度 T_{j2} と接合温度 T_{j1} とが等しい温度に安定する。しかし、リーク電流成分が大きくなると、リーク電流に伴う温度上昇が極めて大きくなり熱暴走にいたる。

15 このような問題を解決するために、MOS・FETのウエルにバックバイアスをかけることにより、しきい値電圧をコントロールする手法を考えることができる。

20 しかし、この手法は、実使用状態時（通常動作時）にノイズなどの原因により、ウエル電位が変動する恐れがあり、ウエルとソース／ドレインとの間に順方向電圧が印加され、ラッチアップを引き起こすなどの問題が発生する可能性がある。

25 また、このようなバックバイアスを用いてリーク電流を低減させる技術は、例えば特開平6-334010号公報に記載があり、この文献には、論理回路群を構成する低しきい値電圧の電界効果トランジスタの基板ノードを電源線に接続し、また論理回路群に接続された疑似電源線を高しきい値電圧の電界効果トランジスタを介して電源線に接続する構成が開示されている。

 この技術の場合、半導体集積回路装置の通常動作時には、高しきい値電圧の電界効果トランジスタをオンすることにより、基板ノードを電源線に接続した電界効果トランジスタは低いしきい値電圧で通常の動作を行うことができ、一方、試験期間中には、高しきい値電圧の電界効果トランジスタをオフし、かつ、疑似電

源線に試験用電圧を印加することにより、低しきい値電圧の電界効果トランジスタは一時的に高しきい値電圧を有するようにすることができる。

- しかし、この技術においては、高しきい値電圧の電界効果トランジスタを論理回路群と電源との間に直列に介在させるので、回路のインピーダンスが増大する結果、半導体集積回路装置の全体的な動作速度が低下してしまう問題がある。

- さらに、MOS・FETのしきい値電圧をコントロールする技術として、例えば特開平8-17183号公報には、MOS・FETの基板電位を可変にするスイッチ手段を設ける技術がある。この技術の場合は、スイッチング手段がMOS・FETのバックゲートバイアス電位を第1の電位または第2の電位に切り換え、MOS・FETのしきい値電圧の絶対値を切り換えることにより、スイッチング特性およびサブスレッショルド電流特性を切り換えることができる。

- しかし、この技術においては、pチャネル形のMOS・FETのソース-nウェル間をnチャネル形のMOS・FETスイッチを介してショートするため、(1)通常動作時に電源電圧より高い電圧を発生させる必要が生じる、(2)前記(1)の高電圧をMOS・FETに印加するため、当該MOS・FETのゲート酸化膜を厚くしなければならず素子特性が劣化するなどの問題がある。

本発明の目的は、ラッチアップが防止できるなどの高性能なCMOS型の半導体集積回路装置およびその製造技術を提供することにある。

- また、本発明の他の目的は、CMOS型の半導体集積回路装置において、通常動作時には、ラッチアップを防止でき、試験時にはリーク電流を抑制することのできる技術を提供することにある。

また、本発明の他の目的は、CMOS型の半導体集積回路装置において、通常動作時における動作速度の低下を招くことなく、通常動作時および試験時における信頼性を向上させることのできる技術を提供することにある。

- さらに、本発明の他の目的は、CMOS型の半導体集積回路装置において、素子特性の劣化を招くことなく、通常時および試験時における信頼性を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

すなわち、本発明の半導体集積回路装置は、CMOS・FETに接続されている第1の電源電圧線と第1の電源電圧線よりも小さい電圧が印加されている第2
5 の電源電圧線とは独立に第3の電源電圧線および第4の電源電圧線を有し、第3の電源電圧線により第1導電型ウエルに必要な応じて給電できると共に第4の電源電圧線により第2導電型ウエルに必要な応じて給電できるものである。

また、本発明の半導体集積回路装置は、第1の電源電圧線と第3の電源電圧線との間にMOS・FETからなる第1のスイッチ用トランジスタが接続されており、第2の電源電圧線と第4の電源電圧線との間にMOS・FETからなる第2
10 のスイッチ用トランジスタが接続されており、第1のスイッチ用トランジスタを必要に応じて動作させることにより第1の電源電圧線と第3の電源電圧線とを短絡させることができると共に第2のスイッチ用トランジスタを必要に応じて動作させることにより第2の電源電圧線と第4の電源電圧線とを短絡させることができ
15 けるものである。

これにより、たとえば半導体集積回路装置の通常動作時においては、第1のスイッチ用トランジスタおよび第2のスイッチ用トランジスタをオンし、第1導電型ウエルおよび第2導電型ウエルにそれぞれ第1の電源電圧および第2の電源電圧を供給することにより、第1導電型MOS・FETおよび第2導電型MOS・
20 FETの基板電位の変動を抑えることができるので、その変動に起因するラッチアップを防止することが可能となる。

また、たとえば半導体集積回路装置の試験時においては、第1のスイッチ用トランジスタおよび第2のスイッチ用トランジスタをオフし、第3の電源電圧線および第4の電源電圧線から試験に適した電圧をそれぞれ第1導電型ウエルおよび
25 第2導電型ウエルに供給することにより、リーク電流を低減することができるので、そのリーク電流に起因する熱暴走を抑制することが可能となる。

また、本発明の半導体集積回路装置の製造方法は、半導体基板の表面に第1導電型ウエルおよび第2導電型ウエルを形成する工程と、

前記第1導電型ウエルにCMOS・FETを構成する第2導電型MOS・FET

Tとそれとは別のMOS・FETからなる第1のスイッチ用トランジスタを形成する工程と、

- 前記第2導電型ウェルにCMOS・FETを構成する第1導電型MOS・FETとそれとは別のMOS・FETからなる第2のスイッチ用トランジスタを形成する工程と、

前記CMOS・FETを構成する前記第2導電型MOS・FETのソースに接続するように第1の電源電圧線を形成する工程と、

前記CMOS・FETを構成する前記第1導電型MOS・FETのソースに接続するように第2の電源電圧線を形成する工程と、

- 10 前記第1のスイッチ用トランジスタのドレインおよび前記第1導電型ウェルに接続するようにウェル給電用線を形成する工程と、

前記第2のスイッチ用トランジスタのドレインおよび前記第2導電型ウェルに接続するようにウェル給電用線を形成する工程と、

- 前記第1のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程と、

前記第2のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程とを有し、

- 前記第1のスイッチ用トランジスタのソースは、前記第2導電型MOS・FETにおけるソースと隣接して配置されていると共に同一の半導体領域とし、前記第2のスイッチ用トランジスタのソースは、前記第1導電型MOS・FETにおけるソースと隣接して配置されていると共に同一の半導体領域として形成するものである。

- 20 25 により、第1のスイッチ用トランジスタおよび第2のスイッチ用トランジスタの占有面積を縮小することができるので、レイアウトの効率を向上させることが可能となる。

また、本発明の半導体集積回路装置の製造方法は、半導体基板の表面に第1導電型ウェルおよび第2導電型ウェルを形成する工程と、

前記第1導電型ウェルにCMOS・FETを構成する第2導電型MOS・FETとそれとは別のMOS・FETからなる第1のスイッチ用トランジスタを形成

する工程と、

前記第2導電型ウェルにCMOS・FETを構成する第1導電型MOS・FETとそれとは別のMOS・FETからなる第2のスイッチ用トランジスタを形成する工程と、

- 5 前記CMOS・FETを構成する前記第2導電型MOS・FETのソースに接続するように第1の電源電圧線を形成する工程と、

前記CMOS・FETを構成する前記第1導電型MOS・FETのソースに接続するように第2の電源電圧線を形成する工程と、

- 10 前記第1のスイッチ用トランジスタのドレインおよび前記第1導電型ウェルに接続するようにウェル給電用線を形成する工程と、

前記第2のスイッチ用トランジスタのドレインおよび前記第2導電型ウェルに接続するようにウェル給電用線を形成する工程と、

前記第1のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程と、

- 15 前記第2のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程とを有し、

前記第1のスイッチ用トランジスタのドレインおよび前記第1導電型ウェルに接続するように前記ウェル給電用線を形成する工程と、前記第2のスイッチ用トランジスタのドレインおよび前記第2導電型ウェルに接続するように前記ウェル

- 20 給電用線を形成する工程とを同一工程により行い、

前記第1のスイッチ用トランジスタのゲート電極に接続するように前記コントロール信号線を形成する工程と、前記第2のスイッチ用トランジスタのゲート電極に接続するように前記コントロール信号線を形成する工程とを同一工程により行うものである。

- 25 これにより、第1のスイッチ用トランジスタ、そのウェル給電用線およびそのコントロール信号線と、第2のスイッチ用トランジスタ、そのウェル給電用線およびそのコントロール信号線とを同一工程時に形成することにより、製造工程の大幅な増加を招くことなく、第1のスイッチ用トランジスタ、第2のスイッチ用トランジスタ、ウェル給電用線およびコントロール信号線を有する半導体集積回

路装置を製造することが可能となる。

また、本発明の半導体集積回路装置は、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタを、複数の論理ゲートに対して 1 組の割合で設けたものである。これにより、個々の論理ゲート毎に第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタを設ける場合よりも、全体的なスイッチ用トランジスタの占有面積を縮小することができるので、スイッチ用トランジスタを付加したことに起因するチップサイズの増大や素子集積度の低減を抑えることが可能となる。

また、本発明の半導体集積回路装置は、前記第 3 の電源電圧線および第 4 の電源電圧線を導体配線で構成し、前記複数の論理ゲートの各々を配置するための各セル領域毎に、前記第 3 の電源電圧線用の導体配線と前記第 1 導電型ウェルとを接続する接続部を設け、かつ、前記第 4 の電源電圧線用の導体配線と前記第 2 導電型ウェルとを接続する接続部を設けたものである。

これにより、ウェル給電用電圧を各論理ゲートの近傍から供給することができるので、各論理ゲートに対して安定した電位の供給が可能となる。

また、本発明の半導体集積回路装置は、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタの入力の前段に、1 本のコントロール信号線におけるコントロール信号を電位の異なる 2 つのコントロール信号に分けて、その各々のコントロール信号をそれぞれ前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタの入力に伝送するためのスイッチ制御部を設けたものである。これにより、スイッチ用トランジスタのオン・オフを制御するためのコントロール信号線を 1 本にすることが可能となる。

また、本発明の半導体集積回路装置は、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタを電源電圧線が配置される空き領域に設けたものである。

これにより、スイッチ用トランジスタを、本来空き領域となっている電源電圧線の配置領域に設けたことにより、半導体チップの主面を有効に使用することができ、その配線配置領域以外の領域にスイッチ用トランジスタを設ける場合に比べて、面積の増大を抑えることが可能となる。

図面の簡単な説明

図 1 は、本発明の一実施の形態である CMOS 型の半導体集積回路装置を示す概略断面図、図 2 は本発明の一実施の形態である CMOS 型の半導体集積回路装置を示す概略レイアウト図、図 3 は本発明の一実施の形態である CMOS 型の半導体集積回路装置を示す概略回路図、図 4 は図 1 の半導体集積回路装置の通常動作時および試験時におけるウェル給電用線およびコントロール信号線に印加される電位を示す説明図、図 5 はエージング試験を説明するためのエージング試験装置の説明図、図 6 は本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図、図 7 は本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図、図 8 は本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図、図 9 は本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図、図 10 は本発明の他の実施の形態である半導体集積回路装置を示す概略レイアウト図、図 11 は図 10 の論理ゲートの回路図、図 12 は本発明の他の実施の形態である半導体集積回路装置を示す概略レイアウト図、図 13 は図 12 の論理ゲートの回路図、図 14 は本発明の他の実施の形態である半導体集積回路装置を示す概略レイアウト図、図 15 は図 14 の論理ゲートの回路図、図 16 は本発明の他の実施の形態である半導体集積回路装置を示す概略レイアウト図、図 17 は図 16 の論理ゲートの回路図、図 18 は本発明の他の実施の形態である半導体集積回路装置の半導体チップを模式的に示した説明図、図 19 は本発明の他の実施の形態である半導体集積回路装置における半導体チップの要部平面図、図 20 は本発明の他の実施の形態である半導体集積回路装置の要部回路図、図 21 は図 20 の半導体集積回路装置のレイアウトの一例を示したレイアウト図、図 22 は図 20 の半導体集積回路装置のレイアウトの一例を示したレイアウト図、図 23 は図 20 の半導体集積回路装置における半導体チップの要部平面図、図 24 は図 23 の XXIV-XXIV 線の断面図、図 25 は図 23 の XXV-XXV 線の断面図、図 26 は本発明の他の実施の形態である半導体集積回路装置の要部回路図、図 27 は本発明の他の実施の形態である半導体集積回路装置における半導体チップの平面図、図 28 は図 27 の半導体集積回路装置のメモリ

セルにおける回路図、図 29 はエージング試験に際しての熱暴走のメカニズムを説明するためのグラフ図である。

発明を実施するための最良の形態

- 5 本発明をより詳述するために、添付の図面に従ってこれを説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図 1 ～図 5 を用いて、本実施の形態の CMOS 型の半導体集積回路装置を具体的に説明する。

- 10 なお、図 1 ～図 3 は、本実施の形態の CMOS 型の半導体集積回路装置における論理ゲートがインバータである場合において、そのインバータ回路の領域を示すものである。

また、本明細書において、V_{dd} などの符号は、一般的な表示である電圧を示す場合とその電圧が印加されている配線を示す場合の両方に使用している。また、

- 15 図示において、丸印は各配線の端部に設けられているピンなどの電極を示しており、正方形に×のハッチングを施したものは、異なる配線層を接続しているコンタクト領域であり、スルーホールに埋め込まれているスルーホール用導電層の領域を示している。

- また、図 1 に示す本実施の形態の CMOS 型の半導体集積回路装置を示す概略
20 断面図は、図示上および説明の明確さのために、図 2 に示す本実施の形態の CMOS 型の半導体集積回路装置を示す概略レイアウト図における種々の断面領域を連結した態様のものとしている。

本実施の形態の CMOS 型の半導体集積回路装置は、p 型半導体基板 1 に n 型ウエル 2 と p 型ウエル 3 とが形成されている。

- 25 また、p 型半導体基板 1 の表面には、n 型ウエル 2 と p 型ウエル 3 との境界領域などにフィールド絶縁膜 4 が形成されている。

n 型ウエル 2 には、インバータ回路の構成要素である p チャネル MOS・FET のトランジスタ T_p と本実施の形態の特徴であるスイッチ用トランジスタ T_{ps} である p チャネル MOS・FET とが設けられており、スイッチ用トランジスタ

T_{ps}のソース5とインバータ回路用のトランジスタT_pのソース5とは隣接して配置されており同一のp型半導体領域となっている。

また、p型ウェル3には、インバータ回路の構成要素であるnチャネルMOS・FETのトランジスタT_nと本実施の形態の特徴であるスイッチ用トランジスタT_{ns}であるnチャネルMOS・FETとが設けられており、スイッチ用トランジスタT_{ns}のソース10とインバータ回路用のトランジスタT_nのソース10とは隣接して配置されており同一のn型半導体領域となっている。

また、n型ウェル2にCMOS・FETを構成するpチャネルMOS・FETのトランジスタT_pの高濃度のp型半導体領域であるソース5およびドレイン6とスイッチ用トランジスタT_{ps}の高濃度のp型半導体領域であるソース5およびドレイン7とには、それよりも低濃度のp型半導体領域9が形成されており、LDD (Lightly Doped Drain Structure) 構造のMOS・FETとなっている。

また、p型ウェル3にCMOS・FETを構成するnチャネルMOS・FETのトランジスタT_nの高濃度のn型半導体領域であるソース10およびドレイン11とスイッチ用トランジスタT_{ns}の高濃度のn型半導体領域であるソース10およびドレイン12とには、それよりも低濃度のn型半導体領域14が形成されており、LDD構造のMOS・FETとなっている。

また、前述した種々のMOS・FETにおけるゲート電極Gの下部にはゲート絶縁膜が形成されていると共にゲート電極Gの側壁には側壁用絶縁膜が形成されている。

また、トランジスタT_pのソース5には、例えば5V程度の電源電圧V_{dd}が印加されている第1の電源電圧線V_{dd}が接続されており、そのゲート電極Gには、入力線I_Nが接続されており、そのドレイン6には、出力線O_{UT}が接続されている。

トランジスタT_nのソース10には、例えば0V (グランド電圧) の電源電圧V_{ss}が印加されている (第1の電源電圧線よりも小さい電位状態の) 第2の電源電圧線 (ソース線) V_{ss}が接続されており、そのゲート電極Gには、入力線I_Nが接続されており、そのドレイン11には、出力線O_{UT}が接続されている。

また、スイッチ用トランジスタT_{ps}をコントロールするためにそのゲート電極

Gにコントロール信号C_{wl}が印加されているコントロール信号線C_{wl}が接続されている。

また、n型ウエル2には、n型半導体領域13を介してウエル給電用電圧V_{wl}が印加されているウエル給電用線V_{wl}が接続されており、そのウエル給電用線V_{wl}はスイッチ用トランジスタT_{ps}のドレイン7に接続されている。

一方、スイッチ用トランジスタT_{ns}をコントロールするためにそのゲート電極Gにはコントロール信号C_{su}が印加されているコントロール信号線C_{su}が接続されている。

また、p型ウエル3には、p型半導体領域8を介してウエル給電用電圧V_{su}が印加されているウエル給電用線V_{su}が接続されており、そのウエル給電用線V_{su}はスイッチ用トランジスタT_{ns}のドレイン12に接続されている。この場合、p型ウエル3とp型半導体基板1とは、同一の導電型であることにより、ウエル給電用線V_{su}はp型半導体基板1の基板給電用線の態様となっている。

前述した本実施の形態のCMOS型の半導体集積回路装置は、n型ウエル2にスイッチ用トランジスタT_{ps}を新規に設けていると共にp型ウエル3にスイッチ用トランジスタT_{ns}を新規に設けている。

また、スイッチ用トランジスタT_{ps}をコントロールするためにそのゲート電極Gにコントロール信号線C_{wl}が新規に接続されていると共に、そのドレイン7にウエル給電用線V_{wl}が新規に接続されている。

また、スイッチ用トランジスタT_{ns}をコントロールするためにそのゲート電極Gにコントロール信号線C_{su}が新規に接続されていると共に、そのドレイン12にウエル給電用線V_{su}が新規に接続されている。

したがって、n型ウエル2におけるpチャネルMOS・FETのしきい値電圧V_{thp}およびp型ウエル3におけるnチャネルMOS・FETのしきい値電圧V_{thn}を制御し所望の値にするために、ウエル給電用線V_{wl}とウエル給電用線V_{su}を調整することにより行うことができる。

すなわち、n型ウエル2におけるpチャネルMOS・FETのしきい値電圧の変化分 ΔV_{thp} は、 $\Delta V_{thp} = K_{BP} \{ (V_{wl} - V_{dd} + 2\Phi_F)^{1/2} - (2\Phi_F)^{1/2} \}$ の式からウエル給電用線V_{wl}を調整することにより制御することができ

る。

また、p型ウエル3におけるnチャネルMOS・FETのしきい値電圧 ΔV_{thn} は、 $\Delta V_{thn} = K_{BN} \{ (V_{ss} - V_{su} + 2\Phi_F)^{1/2} - (2\Phi_F)^{1/2} \}$ の式からウエル給電用線 V_{su} を調整することにより制御することができる。

- 5 なお、上式において、 K_{BP} はpチャネルMOS・FETの基板効果定数であり、 K_{BN} はnチャネルMOS・FETの基板効果定数であり、 Φ_F は半導体のビルトインポテンシャルを示している。

ここで、本実施の形態における半導体集積回路装置のエージング試験などの試験時および通常動作時にウエル給電用線 V_{wl} 、 V_{su} およびコントロール信号線 C_{wl} 、 C_{su} に印加する電圧を図4に示す。なお、図4において V_{BB} は正の所定の基準電圧を示している。

- まず、エージング試験時においては、コントロール信号線 C_{wl} 、 C_{su} にそれぞれ V_{wl} ($V_{dd} + \Delta V_{BB}$)、 V_{su} ($V_{ss} - \Delta V_{BB}$)を印加することにより、スイッチ用トランジスタ T_{ps} 、 T_{ns} をオフする。そして、外部からウエル給電用線 V_{wl} 、
15 V_{su} にそれぞれ $V_{dd} + \Delta V_{BB}$ 、 $V_{ss} - \Delta V_{BB}$ を印加する。これにより、エージング試験時におけるリーク電流の問題を回避することができ、そのリーク電流に起因する熱暴走の問題も回避することが可能となっている。

- 一方、通常動作時においては、コントロール信号線 C_{wl} 、 C_{su} にそれぞれ電源電圧 V_{ss} 、 V_{dd} を印加することにより、スイッチ用トランジスタ T_{ps} 、 T_{ns} をオンする。これにより、電源電圧線 V_{dd} 、 V_{ss} とウエル給電用線 V_{wl} 、 V_{su} とを電気的に接続してトランジスタ T_p 、 T_n の基板電位をそれぞれ電源電圧 V_{dd} 、 V_{ss} に設定する。これにより、トランジスタ T_p 、 T_n の基板電位の変動を抑えることができるので、その基板電位の変動に起因するラッチアップや動作速度の変動を防止することができ、半導体集積回路装置の動作信頼性を確保することが可能と
25 になっている。

このように、本実施の形態のCMOS型の半導体集積回路装置において、LSIの試験に広く実施されているリーク電流試験およびエージング試験時には、n型ウエル2に形成されているスイッチ用トランジスタ T_{ps} およびp型ウエル3に形成されているスイッチ用トランジスタ T_{ns} をオフ状態すなわち非接続状態

にするために、スイッチ用トランジスタ T_{ps} をコントロールするためのコントロール信号線 C_{w1} と第1の電源電圧 V_{dd} とを等しくすると共にスイッチ用トランジスタ T_{ns} をコントロールするためのコントロール信号線 C_{su} と第2の電源電圧 V_{ss} とを等しくする。

- 5 したがって、本実施の形態のCMOS型の半導体集積回路装置によれば、リーク電流試験およびエージング試験時には、n型ウエル2に形成されているスイッチ用トランジスタ T_{ps} およびp型ウエル3に形成されているスイッチ用トランジスタ T_{ns} をオフ状態すなわち非接続状態にすることにより、第1の電源電圧線 V_{dd} および第2の電源電圧線 V_{ss} とは独立にn型ウエル2およびp型ウエル3
10 の電位を設定することが可能となり、リーク電流を抑制した正常な状態で試験を行うことが可能となっている。

- また、本実施の形態のCMOS型の半導体集積回路装置によれば、リーク電流試験またはエージング試験などの試験時でなく通常の動作時には、n型ウエル2に形成されているスイッチ用トランジスタ T_{ps} およびp型ウエル3に形成されているスイッチ用トランジスタ T_{ns} をオン状態すなわち接続状態にすることにより、ラッチアップなどを防止した状態で正常の動作を行うことができる。
15

- さらに、本実施の形態のCMOS型の半導体集積回路装置によれば、n型ウエル2およびp型ウエル3に必要な応じてバックバイアスを与えることができることにより、MOS・FETのしきい値電圧をコントロールすることができると共にラッチアップの発生を防止することができるので、高性能でしかも高信頼度の半導体集積回路装置とすることができる。
20

- また、本実施の形態のCMOS型の半導体集積回路装置によれば、n型ウエル2とp型ウエル3に回路動作上必要な電源系統である電源電圧 V_{dd} が印加されている第1の電源電圧線 V_{dd} と電源電圧 V_{ss} が印加されている第2の電源電圧線 V_{ss} とは独立の電源系統であるコントロール信号線 C_{w1} 、ウエル給電用線 V_{w1} 、コントロール信号線 C_{su} およびウエル給電用線 V_{su} を備えていることにより、MOS・FETのしきい値電圧をコントロールすることができると共に回路動作上必要な電源系統とそれとは独立の電源系統をスイッチ用トランジスタ T
25

ps およびスイッチ用トランジスタ T_{ns} を介して必要に応じて短絡状態にすることができ。

このように、本実施の形態のCMOS型の半導体集積回路装置によれば、リーク電流試験時、エージング試験時および通常の動作時において、ラッチアップなどが防止できるので、高性能でしかも高信頼度の半導体集積回路装置とすることができる。

なお、上記したエージング試験の状態を図5に模式的に示す。CMOS型の半導体集積回路装置 S_I は、エージング用の配線基板 L_B 上に1または複数個実装された状態でエージング炉 A 内に装填されている。

10 電源供給ユニット PWU は、電源電圧 V_{dd} 、 V_{ss} 、ウエル給電用電圧 V_{wl} 、 V_{su} およびウエル給電用のコントロール信号 C_{wl} 、 C_{su} を半導体集積回路装置 S_I に対して供給するための構成部である。

パターン発生器 PG は、パルス信号を生成するとともに、そのパルス信号を必要に応じて半導体集積回路装置 S_I に供給することにより、半導体集積回路装置 S_I の内部回路を活性化させた状態で試験を行うための構成部である。

エージング試験に際しては、半導体集積回路装置 S_I が収容されたエージング炉 A 内の温度を所定の温度に設定した後、その状態を一定の時間保持することによって、半導体集積回路装置 S_I の初期不良のスクリーニングを行うようになっている。

20 次に、本実施の形態のCMOS型の半導体集積回路装置の製造技術を図6～図9によって説明する。

図6～図9は本実施の形態のCMOS型の半導体集積回路装置の製造工程を示す概略断面図である。

まず、図6に示すように、 p 型半導体基板1を用意し、先行技術を用いて、その p 型半導体基板1の表面にイオン注入法により n 型ウエル2および p 型ウエル3を形成した後、その表面の選択的な領域に例えば酸化シリコン膜からなるフィールド絶縁膜4を形成する。

次に、図7に示すように、 n 型ウエル2にCMOS・FETを構成する p チャネルMOS・FETのトランジスタ T_p と本実施の形態の特徴であるスイッチ用

トランジスタ T_{ps} である p チャネル MOS・FET とを同一工程により形成する。

また、p 型ウエル 3 に CMOS・FET を構成する n チャネル MOS・FET のトランジスタ T_n と本実施の形態の特徴であるスイッチ用トランジスタ T_{ns} である n チャネル MOS・FET とを同一工程により形成する。

この場合、前述した種々の MOS・FET におけるゲート電極 G の下部にはゲート絶縁膜が形成されていると共にゲート電極 G の側壁には側壁用絶縁膜が形成されている。

また、n 型ウエル 2 に CMOS・FET を構成する p チャネル MOS・FET のトランジスタ T_p の高濃度の p 型半導体領域であるソース 5 およびドレイン 6 をイオン注入法により形成する工程と同一工程によりスイッチ用トランジスタ T_{ps} のソース 5 とドレイン 7 それに p 型ウエル 3 に p 型半導体領域 8 を同時に形成している。

また、トランジスタ T_p のソース 5 とスイッチ用トランジスタ T_{ps} のソース 5 とは隣接して配置されており同一の高濃度の p 型半導体領域として形成している。

また、前述した高濃度の p 型半導体領域にはそれよりも低濃度の p 型半導体領域 9 が形成されており、LDD (Lightly Doped Drain Structure) 構造の MOS・FET として形成している。

一方、p 型ウエル 3 に CMOS・FET を構成する n チャネル MOS・FET のトランジスタ T_n の高濃度の n 型半導体領域であるソース 10 およびドレイン 11 をイオン注入法により形成する工程と同一工程によりスイッチ用トランジスタ T_{ns} のソース 10 とドレイン 12 それに n 型ウエル 2 に n 型半導体領域 13 を同時に形成している。

また、トランジスタ T_n のソース 10 とスイッチ用トランジスタ T_{ns} のソース 10 とは隣接して配置されており同一の高濃度の n 型半導体領域として形成している。

また、前述した高濃度の n 型半導体領域にはそれよりも低濃度の n 型半導体領域 14 が形成されており、LDD 構造の MOS・FET として形成している。

次いで、図 8 に示すように、p 型半導体基板 1 の上に例えば酸化シリコン膜を CVD (Chemical Vapor Deposition) 法により堆積して絶縁膜 15 を形成する。

続いて、フォトリソグラフィ技術と選択エッチング技術を用いて、絶縁膜 15 の選択的な領域にスルーホールを形成する。

- 5 その後、p 型半導体基板 1 の上に例えばアルミニウム膜をスパッタリング法により堆積して配線層 16 を形成する。

次いで、フォトリソグラフィ技術と選択エッチング技術を用いて、配線層 16 の選択的な領域を取り除くことにより、パターン化された配線層 16 を形成する。

- 10 続いて、図 9 に示すように、p 型半導体基板 1 の上に例えば酸化シリコン膜を CVD 法により堆積して絶縁膜 17 を形成する。

その後、フォトリソグラフィ技術と選択エッチング技術を用いて、絶縁膜 17 の選択的な領域にスルーホールを形成する。

- 15 次いで、p 型半導体基板 1 の上に例えばアルミニウム膜をスパッタリング法により堆積して配線層 18 を形成する。

続いて、フォトリソグラフィ技術と選択エッチング技術を用いて、配線層 18 の選択的な領域を取り除くことにより、パターン化された配線層 18 を形成する。

- 20 この場合、配線層 16 および配線層 18 により、CMOS・FET における第 1 の電源電圧線 V_{dd} 、第 2 の電源電圧線 V_{ss} 、入力線 I_N 、出力線 $O_U T$ が同一工程により形成している。

- 25 また、配線層 16 および配線層 18 により、スイッチ用トランジスタ T_{ps} をコントロールするためのコントロール信号線 C_{w1} 、スイッチ用トランジスタ T_{ps} のドレインと n 型ウエル 2 とに接続されているウエル給電用線 V_{w1} 、スイッチ用トランジスタ T_{ns} をコントロールするためのコントロール信号線 C_{su} 、スイッチ用トランジスタ T_{ns} のドレインと p 型ウエル 3 とに接続されているウエル給電用線 V_{su} が同一工程により形成している。

その後、p 型半導体基板 1 の上に多層配線技術を用いて、多層配線層を形成した後、表面保護膜を形成すること（図示を省略）により、CMOS 型の半導体集

積回路装置の製造工程を終了する。

なお、前述した製造工程は、p型半導体基板1を使用した態様のものであるが、それとは逆の導電型のn型半導体基板を使用して前述した製造工程とは逆の導電型のウエルなどの半導体領域を形成する態様とすることができる。

- 5 前述した本実施の形態のCMOS型の半導体集積回路装置の製造技術において、n型ウエル2にCMOS・FETを構成するpチャネルMOS・FETのトランジスタ T_p と本実施の形態の特徴であるスイッチ用トランジスタ T_{ps} であるpチャネルMOS・FETとを同一工程により形成している。

- 10 また、p型ウエル3にCMOS・FETを構成するnチャネルMOS・FETのトランジスタ T_n と本実施の形態の特徴であるスイッチ用トランジスタ T_{ns} であるnチャネルMOS・FETとを同一工程により形成している。

また、配線層16および配線層18により、CMOS・FETにおける第1の電源電圧線 V_{dd} 、第2の電源電圧線 V_{ss} 、入力線 I_N 、出力線 $O_U T$ が同一工程により形成している。

- 15 また、配線層16および配線層18により、スイッチ用トランジスタ T_{ps} をコントロールするためのコントロール信号線 C_{wl} 、スイッチ用トランジスタ T_{ps} のドレインとn型ウエル2とに接続されているウエル給電用線 V_{wl} 、スイッチ用トランジスタ T_{ns} をコントロールするためのコントロール信号線 C_{su} 、スイッチ用トランジスタ T_{ns} のドレインとp型ウエル3とに接続されているウエル給
20 電用線 V_{su} が同一工程により形成している。

- したがって、本実施の形態のCMOS型の半導体集積回路装置の製造技術によれば、スイッチ用トランジスタ T_{ps} およびスイッチ用トランジスタ T_{ns} 、それらに接続するコントロール信号線 C_{wl} 、ウエル給電用線 V_{wl} 、コントロール信号線 C_{su} とウエル給電用線 V_{su} をCMOS・FETとそれに接続する第1の電源
25 電圧線 V_{dd} 、第2の電源電圧線 V_{ss} 、入力線 I_N と出力線 $O_U T$ を形成する工程と同一工程により形成することができることにより、製造工程を追加することなく容易にそれらを同時に形成することができる。

また、前述した本実施の形態のCMOS型の半導体集積回路装置の製造技術において、トランジスタ T_p のソース5とスイッチ用トランジスタ T_{ps} のソース

5 とは隣接して配置されており同一の高濃度の p 型半導体領域として形成している。

また、トランジスタ T_n のソース 10 とスイッチ用トランジスタ T_{ns} のソース 10 とは隣接して配置されており同一の高濃度の n 型半導体領域として形成している。

したがって、前述した本実施の形態の CMOS 型の半導体集積回路装置の製造技術によれば、スイッチ用トランジスタ T_{ps} とスイッチ用トランジスタ T_{ns} を最小面積の領域に形成できることにより、レイアウトの効率を向上させることができる。

10 次に、本発明の他の実施の形態を図 10～図 17 によって説明する。この図 10～図 17 は、本発明の他の実施の形態である CMOS 型の半導体集積回路装置の論理ゲートの変形例を示す概略レイアウト図および各レイアウト図に対応した回路図である。

この図 10～図 17 においては 1 つの論理ゲートが示されているとともに、その 1 つ毎に上記したスイッチ用トランジスタ T_{ps} , T_{ns} が設けられていることを示している。

図 10 は 2 入力 NAND ゲート回路 NA1 を有する CMOS 型の半導体集積回路装置を示す概略レイアウト図であり、図 11 はその回路図である。

この 2 入力 NAND ゲート回路 NA1 は、互いに並列に接続された 2 つのトランジスタ T_{p1} , T_{p2} と、互いに直列に接続された 2 つのトランジスタ T_{n1} , T_{n2} とが、電源電圧線 V_{dd} , V_{ss} の間に電氣的に接続されて構成されている。このトランジスタ T_{p1} , T_{p2} は、p チャネル MOS・FET からなり、n 型ウェル 2 内に形成されている。また、トランジスタ T_{n1} , T_{n2} は、n チャネル MOS・FET からなり、p 型ウェル 3 内に形成されている。

25 トランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線 IN1 に電氣的に接続されている。トランジスタ T_{p2} , T_{n2} のゲート電極は電氣的に接続され、さらに入力線 IN2 に電氣的に接続されている。トランジスタ T_{p1} , T_{p2} のドレインと、トランジスタ T_{n2} のドレインとは電氣的に接続され、さらに出力線 OUT と電氣的に接続されている。

図12は3入力NANDゲート回路NA2を有するCMOS型の半導体集積回路装置を示す概略レイアウト図であり、図13はその回路図である。

3入力NANDゲート回路NA2は、互いに並列に接続された3つのトランジスタ T_{p1} , T_{p2} , T_{p3} と、互いに直列に接続された3つのトランジスタ T_{n1} , T_{n2} , T_{n3} とが、電源電圧線 V_{dd} , V_{ss} の間に電氣的に接続されて構成されている。このトランジスタ T_{p1} , T_{p2} , T_{p3} は、pチャネルMOS・FETからなり、n型ウエル2内に形成されている。また、トランジスタ T_{n1} , T_{n2} , T_{n3} は、nチャネルMOS・FETからなり、p型ウエル3内に形成されている。

トランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線IN1に電氣的に接続されている。トランジスタ T_{p2} , T_{n2} のゲート電極は電氣的に接続され、さらに入力線IN2に電氣的に接続されている。トランジスタ T_{p3} , T_{n3} のゲート電極は電氣的に接続され、さらに入力線IN3に電氣的に接続されている。トランジスタ $T_{p1} \sim T_{p3}$ のドレインと、トランジスタ T_{n3} のドレインとは電氣的に接続され、さらに出力線OUTと電氣的に接続されている。

図14は2入力NORゲート回路NO1を有するCMOS型の半導体集積回路装置を示す概略レイアウト図であり、図15はその回路図である。

この2入力NORゲート回路は、n型ウエル2およびp型ウエル3内に、それぞれ2つのトランジスタ T_{p1} , T_{p2} と、2つのトランジスタ T_{n1} , T_{n2} とを有している。

2入力NORゲート回路NO1は、互いに直列に接続された2つのトランジスタ T_{p1} , T_{p2} と、互いに並列に接続された2つのトランジスタ T_{n1} , T_{n2} とが、電源電圧線 V_{dd} , V_{ss} の間に電氣的に接続されて構成されている。このトランジスタ T_{p1} , T_{p2} は、pチャネルMOS・FETからなり、n型ウエル2内に形成されている。また、トランジスタ T_{n1} , T_{n2} は、nチャネルMOS・FETからなり、p型ウエル3内に形成されている。

このトランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線IN1に電氣的に接続されている。トランジスタ T_{p2} , T_{n2} のゲート電極は電氣的に接続され、さらに入力線IN2に電氣的に接続されている。トランジスタ T_{p2} のドレインと、トランジスタ T_{n1} , T_{n2} のドレインとは電氣的に接続され、さ

らに出力線OUTと電氣的に接続されている。

図16は3入力NORゲート回路NO2を有するCMOS型の半導体集積回路装置を示す概略レイアウト図であり、図17はその回路図である。

この3入力NORゲート回路NO2は、互いに直列に接続された3つのトランジスタT_{p1}, T_{p2}, T_{p3}と、互いに並列に接続された3つのトランジスタT_{n1}, T_{n2}, T_{n3}とが、電源電圧線V_{dd}, V_{ss}の間に電氣的に接続されて構成されている。

このトランジスタT_{p1}, T_{p2}, T_{p3}は、pチャネルMOS・FETからなり、n型ウェル2内に形成されている。また、トランジスタT_{n1}, T_{n2}, T_{n3}は、nチャネルMOS・FETからなり、p型ウェル3内に形成されている。

このトランジスタT_{p1}, T_{n1}のゲート電極は電氣的に接続され、さらに入力線IN1に電氣的に接続されている。トランジスタT_{p2}, T_{n2}のゲート電極は電氣的に接続され、さらに入力線IN2に電氣的に接続されている。トランジスタT_{p3}, T_{n3}のゲート電極は電氣的に接続され、さらに入力線IN3に電氣的に接続されている。トランジスタT_{p3}のドレインと、トランジスタT_{n1}, T_{n2}, T_{n3}のドレインとは電氣的に接続され、さらに出力線OUTと電氣的に接続されている。

この図10～図17に示すように、前述した実施の形態1のCMOS型の半導体集積回路装置と同様にn型ウェル2とp型ウェル3とにそれぞれMOS・FETからなるスイッチ用トランジスタT_{ps}, T_{ns}を配置し、スイッチ用トランジスタT_{ps}, T_{ns}をコントロールするためのコントロール信号線C_{w1}, C_{su}、n型ウェル2に接続されているウェル給電用線V_{w1}およびp型ウェル3に接続されているウェル給電用線V_{su}を設けることにより、特に半導体集積回路装置の通常動作に際してラッチアップや動作速度の変動を防止することができ、高性能でしかも高信頼度の半導体集積回路装置とすることができる。

また、半導体集積回路装置の試験に際してリーク電流を抑制することができ、そのリーク電流に起因する熱暴走を抑制することができるので、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となっている。

次に、本発明の他の実施の形態を図18によって説明する。図18は、本実施

の形態であるCMOS型の半導体集積回路装置における半導体チップSC内の電源電圧線およびコントロール信号線の配置を模式的に示した図である。

図18に示すように、本実施の形態のCMOS型の半導体集積回路装置の配線レイアウトは、各配線を行列状に配置する態様を適用できる。

- 5 各配線の端部には、ピン19が形成されており、複数のピン19を通して回路動作上必要な電源電圧 V_{dd} と電源電圧 V_{ss} が入力される構造となっている。

ウエル給電用線 V_{wl} およびウエル給電用線 V_{su} は半導体チップSCにおける特定の1個のピン19を通して半導体チップSC内の内部回路に入力される構造となっている。

- 10 また、コントロール信号線 C_{wl} およびコントロール信号線 C_{su} も、半導体チップSCにおける特定の1個のピン19を通して半導体チップSC内の内部回路に入力される構造となっている。

- 本実施の形態のCMOS型の半導体集積回路装置によれば、半導体集積回路装置の通常動作時においては、コントロール信号線 C_{wl} 、 C_{su} とウエル給電用線 V_{wl} 、 V_{su} とを、それぞれ高抵抗体などを介して電源電圧線 V_{dd} 、 V_{ss} と電気的に
15 接続しておき、コントロール信号線 C_{wl} 、 C_{su} およびウエル給電用線 V_{wl} 、 V_{su} を所定の電位に固定する。これにより、半導体集積回路装置の通常動作時には、コントロール信号線 C_{wl} 、 C_{su} およびウエル給電用線 V_{wl} 、 V_{su} に外部から所定の信号や電圧を供給しなくても、半導体集積回路装置における所望の回路
20 動作を行わせることが可能となっている。もちろん、外部から所定の信号や電圧を供給するようにしても良い。

- また、半導体集積回路装置の試験時においては、上記した高抵抗体よりも小さい抵抗を持つ電源供給装置を用いて強制的に外部からピン19を通じて所定の信号あるいは電源電圧をコントロール信号線 C_{wl} 、 C_{su} およびウエル給電用線 V_{wl} 、 V_{su} に供給するようにする。
25

次に、本発明の他の実施の形態を図19によって説明する。図19は半導体チップSCの要部平面図を示している。

半導体チップSCには、n型ウエル2およびp型ウエル3が、図19の横方向に沿って、すなわち、セル領域CLの配列方向に沿って延在した状態で形成され

ている。

図 19 においては n 型ウエル 2 および p 型ウエル 3 の各々が複数個に分割されているように示されているが、これは 1 個のセル領域 C L の区切りを示すもので、n 型ウエル 2 および p 型ウエル 3 のそれぞれは複数個に分割されているわけ
5 ではなく一体的に、すなわち、所定の不純物分布が連続する半導体領域として電氣的にも接続された状態で形成されている。

このセル領域 C L は、基本単位の論理ゲートを形成するのに必要な一まとまりの素子が配置される領域であり、その範囲は、n 型ウエル 2 および p 型ウエル 3 の両方を含むように設定されている。

10 また、半導体チップ S C の主面上には、上述のセル領域 C L の一群を取り囲むように、電源電圧線 V dd、V ss、ウエル給電用線 V wl、V su およびコントロール信号線 C wl、C su が配置されている。なお、半導体チップ S C の主面上には、電源電圧線 V dd、V ss、ウエル給電用線 V wl、V su およびコントロール信号線 C wl、C su が格子状に配置されている。図 19 にはその格子の基本単位分が示されてい
15 る。

電源電圧線 V ddl、ウエル給電用線 V wll およびコントロール信号線 C wll は、セル領域 C L の長手方向の端部（図 19 の上方）近傍側において、各セル領域 C L を横切るように、セル領域 C L の配列方向に沿って延在した状態で配置されて
20 いる。なお、電源電圧線 V ddl、ウエル給電用線 V wll およびコントロール信号線 C wll は、セル領域 C L の中心から外周に向かう方向に沿って順に配置されている。

電源電圧線 V ssl、ウエル給電用線 V sul およびコントロール信号線 C sul は、セル領域 C L の長手方向の端部（図 19 の下方）近傍側において、各セル領域 C L を横切るように、セル領域 C L の配列方向に沿って延在した状態で配置されて
25 いる。なお、電源電圧線 V ssl、ウエル給電用線 V sul およびコントロール信号線 C sul は、セル領域 C L の中心から外周に向かう方向に沿って順に配置されている。

これら電源電圧線 V ddl、V ssl、ウエル給電用線 V wll、V sul およびコントロール信号線 C wll、C sul は、たとえばアルミニウムまたはアルミニウム合金から

なり、第1配線層に形成されている。

一方、電源電圧線V_{dd2}、V_{ss2}、ウエル給電用線V_{w12}、V_{su2}およびコントロール信号線C_{w12}、C_{su2}は、セル領域C_Lの配列方向に対して直交するように延在した状態で配置されている。なお、電源電圧線V_{dd2}、V_{ss2}、ウエル給電用線
5 V_{w12}、V_{su2}およびコントロール信号線C_{w12}、C_{su2}は、ウエル給電用線V_{w12}、V_{su2}およびコントロール信号線C_{w12}、C_{su2}が電源電圧線V_{dd2}、V_{ss2}によって挟まれた状態で配置されている。

これら電源電圧線V_{dd2}、V_{ss2}、ウエル給電用線V_{w12}、V_{su2}およびコントロール信号線C_{w12}、C_{su2}は、たとえばアルミニウムまたはアルミニウム合金から
10 なり、第2配線層に形成されている。

第2配線層に配置された電源電圧線V_{dd2}、V_{ss2}、ウエル給電用線V_{w12}、V_{su2}およびコントロール信号線C_{w12}、C_{su2}は、それぞれ第1配線層に配置された電源電圧線V_{dd1}、V_{ss1}、ウエル給電用線V_{w11}、V_{su1}およびコントロール信号線C_{w11}、C_{su1}との交差点において接続孔THを通じて電氣的に接続されている。

ところで、本実施の形態においては、以下のような構成になっている。第1に、
15 前記実施の形態と同様にスイッチ用トランジスタT_{ps}、T_{ns}（図3等参照）が、1つのセル領域C_L毎、すなわち、1つの論理ゲート毎に1個ずつ配置されている。したがって、前記実施の形態と同じ効果を得ることが可能となっている。

次に、本発明の他の実施の形態を図20～図25によって説明する。図20は
20 本実施の形態におけるCMOS型の半導体集積回路装置の要部における回路図を示している。

本実施の形態においては、前記したスイッチ用トランジスタT_{ps}、T_{ns}を、複数の論理ゲートに対して1個設ける構造になっている。図20には論理ゲートとして、たとえばインバータ回路INV、2入力NANDゲート回路NAおよび2
25 入力NORゲート回路NOが示されている。

ただし、論理ゲートの種類は、これらに限定されるものではなく種々変更可能である。また、1個のスイッチ用トランジスタが配置される論理ゲート群は、異なる種類の論理ゲートで構成するものに限定されるものではなく、同一種類の論理ゲートで構成するものにも適用できる。

インバータ回路 INV は、トランジスタ T_{p1} , T_{n1} が電源電圧線 V_{dd} , V_{ss} の間に直列に接続されて構成されている。トランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線 IN に電氣的に接続されている。

2入力NANDゲート回路 NA は、互いに並列に接続された2つのトランジスタ T_{p1} , T_{p2} と、互いに直列に接続された2つのトランジスタ T_{n1} , T_{n2} とが、電源電圧線 V_{dd} , V_{ss} の間に電氣的に接続されて構成されている。トランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線 $IN1$ に電氣的に接続されている。トランジスタ T_{p2} , T_{n2} のゲート電極は電氣的に接続され、さらに入力線 $IN2$ に電氣的に接続されている。トランジスタ T_{p1} , T_{p2} のドレインと、トランジスタ T_{n1} のドレインとは電氣的に接続されている。

2入力NORゲート回路 NO は、互いに直列に接続された2つのトランジスタ T_{p1} , T_{p2} と、互いに並列に接続された2つのトランジスタ T_{n1} , T_{n2} とが、電源電圧線 V_{dd} , V_{ss} の間に電氣的に接続されて構成されている。トランジスタ T_{p1} , T_{n1} のゲート電極は電氣的に接続され、さらに入力線 $IN1$ に電氣的に接続されている。トランジスタ T_{p2} , T_{n2} のゲート電極は電氣的に接続され、さらに入力線 $IN2$ に電氣的に接続されている。トランジスタ T_{p2} のドレインと、トランジスタ T_{n1} , T_{n2} のドレインとは電氣的に接続されている。

これらインバータ回路 INV 、2入力NAND回路 NA 、2入力NOR回路 NO のトランジスタ T_{p1} , T_{p2} , T_{n1} , T_{n2} およびスイッチ用トランジスタ T_{ps} , T_{ns} の基板電位は、ウエル給電用線 V_{w1} , V_{su} から供給されるようになっている。

ウエル給電用線 V_{w1} と電源電圧線 V_{dd} との間には、スイッチ用トランジスタ T_{ps} が電氣的に接続されている。また、ウエル給電用線 V_{su} と電源電圧線 V_{ss} との間には、スイッチ用トランジスタ T_{ns} が電氣的に接続されている。

すなわち、半導体集積回路装置の試験に際しては、スイッチ用トランジスタ T_{ps} , T_{ns} をオフにして、ウエル給電用線 V_{w1} , V_{su} に所定の電位を供給することにより、リーク電流を抑えることができ、そのリーク電流に起因する熱暴走を抑制することができる。これにより、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となっている。

また、半導体集積回路装置の通常動作に際しては、スイッチ用トランジスタ T_{ps} , T_{ns} をオンにして、ウエル給電用線 V_{wl} , V_{su} にそれぞれ電源電圧 V_{dd} , V_{ss} を供給することにより、ラッチアップおよび動作速度の変動などを防止することができるので、半導体集積回路装置の動作信頼性を確保することが可能となっている。

次に、図 20 に示した回路のレイアウト例を図 21 および図 22 に示す。

図 21 は、ウエル給電用線 V_{wl} , V_{su} を、 n 型ウエル 2 および p 型ウエル 3 で構成した場合を示している。すなわち、ウエル給電用電圧 V_{wl} , V_{su} を、それぞれ n 型ウエル 2 および p 型ウエル 3 を通じて複数の論理ゲートのウエルに供給する構造を示している。

また、図 22 は、ウエル給電用線 V_{wl} , V_{su} を配線 L で構成した場合を示している。すなわち、ウエル給電用電圧 V_{wl} , V_{su} を配線 L を通じて複数の論理ゲートのウエルに供給する構造を示している。

この配線 L は、各論理ゲートのセル領域 CL 内における n 型ウエル 2 および p 型ウエル 3 に接続孔 TH を通じて電氣的に接続されている。すなわち、ウエル給電用電圧 V_{wl} , V_{su} を、各論理ゲートの近傍から供給することが可能となっている。したがって、図 22 の構造においては、各論理ゲートに対して図 21 の構造よりも安定した状態でウエル給電用電圧 V_{wl} , V_{su} を供給することが可能となっている。

次に、図 22 の構造を採用した場合における半導体チップの要部平面図を図 23 に示す。また、その XXIV-XXIV 線および XXV-XXV 線の断面図を図 24 および図 25 に示す。

半導体チップ SC には、 n 型ウエル 2 および p 型ウエル 3 が、図 23 の横方向に沿って、すなわち、セル領域 CL の配列方向に沿って延在した状態で形成されている。

図 23 においては n 型ウエル 2 および p 型ウエル 3 が複数個に分割されているように示されているが、これは 1 個のセル領域 CL の区切りを示すもので、 n 型ウエル 2 および p 型ウエル 3 のそれぞれは複数個に分割されているわけではなく一体的に、すなわち、所定の不純物分布が連続する 1 つの半導体領域として電気

的にも接続された状態で形成されている。

このセル領域C Lは、基本単位の論理ゲートを形成するのに必要な一まとまりの素子が配置される領域であり、その範囲は、n型ウエル2およびp型ウエル3の両方を含むように設定されている。

- 5 また、半導体チップS Cの主面上には、上述のセル領域C Lの一群を取り囲むように、電源電圧線V dd, V ss およびウエル給電用線V wl, V su が配置されている。ただし、コントロール信号線C wl, C su は、図23の縦方向、すなわち、セル領域C Lの配列方向に対して直交する方向に延在するもののみが配置されている。
- 10 これは、本実施の形態においては、後述するように、スイッチ用トランジスタT ps, T ns (図20等参照) が、セル領域C Lの配列方向に対して直交する方向に延在する電源電圧線V dd2, V ss2、ウエル給電用線V wl2, V su2 およびコントロール信号線C wl2, C su2 の直下に形成されているので、コントロール信号線C wl2, C su2 を図23の横方向、すなわち、セル領域C Lの配列方向に延在させて
- 15 配置する必要がないからである。このため、本実施の形態においては、図23の縦方向の寸法、すなわち、セル領域C Lの長手方向における寸法を縮小することが可能となっている。

- 20 なお、半導体チップS Cの主面上には、電源電圧線V dd, V ss およびウエル給電用線V wl, V su が格子状に配置されている。図23にはその格子の基本単位分が示されている。

- 25 電源電圧線V dd1 およびウエル給電用線V wl1 は、セル領域C Lの長手方向の端部(図23の上方)近傍側において、各セル領域C Lを横切るように、セル領域C Lの配列方向に沿って延在した状態で配置されている。なお、電源電圧線V dd1 およびウエル給電用線V wl1 は、セル領域C Lの中心から外周に向かう方向に沿って順に配置されている。

電源電圧線V ss1 およびウエル給電用線V su1 は、セル領域C Lの長手方向の端部(図23の下方)近傍側において、各セル領域C Lを横切るように、セル領域C Lの配列方向に沿って延在した状態で配置されている。なお、電源電圧線V ss1 およびウエル給電用線V su1 は、セル領域C Lの中心から外周に向かう方向

に沿って順に配置されている。

これら電源電圧線 V dd1, V ss1 およびウエル給電用線 V w11, V su1 は、たとえばアルミニウムまたはアルミニウム合金からなり、第 1 配線層に形成されている。

- 5 電源電圧線 V dd2, V ss2、ウエル給電用線 V w12, V su2 およびコントロール信号線 C w12, C w12 は、セル領域 C L の配列方向に対して直交するように延在した状態で配置されている。なお、電源電圧線 V dd2, V ss2、ウエル給電用線 V w12, V su2 およびコントロール信号線 C w12, C w12 は、ウエル給電用線 V w12, V su2 およびコントロール信号線 C w12, C w12 が電源電圧線 V dd2, V ss2 によって挟ま
- 10 れた状態で配置されている。

これら電源電圧線 V dd2, V ss2、ウエル給電用線 V w12, V su2 およびコントロール信号線 C w12, C su2 は、たとえばアルミニウムまたはアルミニウム合金からなり、第 2 配線層に形成されている。

- 第 2 配線層に配置された電源電圧線 V dd2, V ss2、ウエル給電用線 V w12, V su2
- 15 およびコントロール信号線 C w12, C su2 は、それぞれ第 1 配線層に配置された電源電圧線 V dd1, V ss1、ウエル給電用線 V w11, V su1 およびコントロール信号線 C w1, C su1 との交差点の接続孔 T H を通じて電氣的に接続されている。

- このように、本実施の形態においては、上記したスイッチ用トランジスタ T ps, T ns が、複数のセル領域 C L、すなわち、複数の論理ゲート毎に 1 組の割合で配
- 20 置されているとともに、上記した電源電圧線 V dd2, V ss2、ウエル給電用線 V w2, V su2 およびコントロール信号線 C w2, C su2 の直下に配置されている。

- すなわち、電源電圧線 V dd2, V ss2、ウエル給電用線 V w12, V su2 およびコントロール信号線 C w12, C su2 の直下は、通常、半導体集積回路装置を構成する素子が配置されない空き領域になっているが、その空き領域にスイッチ用トランジ
- 25 スタ T ps, T ns を設けることにより半導体チップ S C の主面を有効に使用することが可能となる。

その結果、その空き領域以外の領域にスイッチ用トランジスタ T ps, T ns を設ける場合に比べて面積の増大を抑えることが可能となっている。また、上記したようにセル領域 C L の長手方向の寸法を縮小することができる。このため、素子

集積度の向上や半導体チップSCの全体的な面積の縮小をさらに推進することが可能となる。

図24にはpチャネルMOS・FETからなるスイッチ用トランジスタ T_{ps} の断面図が示されている。スイッチ用トランジスタ T_{ps} は、n型ウエル2においてフィールド絶縁膜4に囲まれた活性領域に形成されており、半導体領域20p1、ゲート絶縁膜20piおよびゲート電極Gを有している。

半導体領域20p1は、低濃度領域20p11と高濃度領域20p12とを有している。低濃度領域20p11および高濃度領域20p12は、たとえばp型不純物のホウ素が含有されてなり、高濃度領域20p12の方が低濃度領域20p11よりも不純物濃度が高く設定されている。

ゲート絶縁膜20piは、たとえば二酸化シリコン(SiO_2)からなり、ゲート電極Gは、たとえば低抵抗ポリシリコンの単層膜または低抵抗ポリシリコン上にタングステンシリサイド等のようなシリサイドを堆積した積層膜からなる。

図24にはゲート電極Gが複数分割されて示されているが、実際にはこれらのゲート電極Gは互いに電氣的に接続されている。ゲート電極Gの側面には、たとえば SiO_2 などからなる側壁絶縁膜21が形成されている。

このスイッチ用トランジスタ T_{ps} は、層間絶縁膜22aによって被覆されている。この層間絶縁膜22aは、たとえば SiO_2 などからなり、その上には、第1層配線層の電源電圧線Vddlが形成されている。この電源電圧線Vddlは、層間絶縁膜22bによって被覆されている。この層間絶縁膜22bは、たとえば SiO_2 などからなり、その上には、電源電圧線Vdd2、Vss2、ウエル給電用線Vwl2、Vsu2およびコントロール信号線Cwl2、Csu2が形成されている。なお、この上層には層間絶縁膜を介して第3層配線が形成され、さらに、その第3層配線は表面保護膜によって被覆されている。

図25にはnチャネルMOS・FETからなるスイッチ用トランジスタ T_{ns} の断面図が示されている。スイッチ用トランジスタ T_{ns} は、p型ウエル3においてフィールド絶縁膜4に囲まれた活性領域に形成されており、半導体領域20n1、ゲート絶縁膜20niおよびゲート電極Gを有している。

半導体領域20n1は、低濃度領域20n11と高濃度領域20n12とを有

している。低濃度領域 20n11 および高濃度領域 20n12 は、たとえば n 型不純物のリンまたはヒ素 (As) が含有されてなり、高濃度領域 20n12 の方が低濃度領域 20n11 よりも不純物濃度が高く設定されている。

ゲート絶縁膜 20ni は、たとえば SiO₂ からなり、ゲート電極 G は、たとえば低抵抗ポリシリコンの単層膜または低抵抗ポリシリコン上にタングステンシリサイド等のようなシリサイドを堆積した積層膜からなる。

図 25 にはゲート電極 G が複数分割されて示されているが、実際にはこれらのゲート電極 G は互いに電氣的に接続されている。ゲート電極 G の側面には、たとえば SiO₂ などからなる側壁絶縁膜 21 が形成されている。

10 このスイッチ用トランジスタ Tns は、層間絶縁膜 22a によって被覆されている。この層間絶縁膜 22a は、たとえば SiO₂ などからなり、その上には、第 1 層配線層の電源電圧線 Vss1 が形成されている。この電源電圧線 Vss1 は、層間絶縁膜 22b によって被覆されている。この層間絶縁膜 22b は、たとえば SiO₂ などからなり、その上には、電源電圧線 Vdd2, Vss2、ウェル給電用線 Vw12, Vsu2 およびコントロール信号線 Cw12, Csu2 が形成されている。なお、この上層には層間絶縁膜を介して第 3 層配線が形成され、さらに、その第 3 層配線は表面保護膜によって被覆されている。

このように、本実施の形態によれば、図 1 等で説明した前記実施の形態で得られる効果の他に以下の効果を得ることが可能となっている。

- 20 (1). 複数の論理ゲートに対して 1 組のスイッチ用トランジスタ Tps, Tns を配置することにより、半導体チップ SC 内における全体的なスイッチ用トランジスタ Tps, Tns の占有面積を縮小することが可能となる。
- (2). スイッチ用トランジスタ Tps, Tns を電源電圧線 Vdd2, Vss2 等の配線配置領域の直下に設けたことにより、半導体チップ SC の主面を有効に使用することができ、その配線配置領域以外の領域にスイッチ用トランジスタ Tps, Tns を設ける場合に比べて面積の増大を抑えることが可能となる。
- 25 (3). スイッチ用トランジスタ Tps, Tns を電源電圧線 Vdd2, Vss2 等の配線配置領域の直下に設けたことにより、セル領域 CL の配列方向に延びるコントロール信号線 Cw1, Csu を設ける必要がなくなるので、その分、セル領域 CL の長手方

向の面積を縮小することが可能となる。

(4). 上記(1)～(3)により、スイッチ用トランジスタ T_{ps} , T_{ns} を付加したこと
起因するチップサイズの増大を抑えることが可能となる。

(5). 上記(1)～(3)により、スイッチ用トランジスタ T_{ps} , T_{ns} を付加したこと
5 起因する集積回路素子の集積度の低減を抑えることが可能となる。

次に、本発明の他の実施の形態を図26によって説明する。図26は本発明の
実施の形態である半導体集積回路装置の要部回路図を示している。

本実施の形態は、図20などで説明した前記実施の形態とほぼ同じ構造となっ
ている。異なるのは、スイッチ用トランジスタ T_{ps} , T_{ns} の前段に、スイッチ用
10 トランジスタ T_{ps} , T_{ns} の動作を制御するスイッチ制御部 STC を設けているこ
とである。

本実施の形態においては、このスイッチ制御部 STC を設けたことにより、ス
イッチ用トランジスタ T_{ps} , T_{ns} のオン・オフを制御するコントロール信号用の
配線を1本にすることが可能となっている。これは、コントロール信号線 C_{w1} ,
15 C_{su} のいずれか一方が高電位(High)の際、他方が低電位(Low)となるのを考
慮した構造であり、以下のような構成となっている。

スイッチ用制御部 STC は、トランジスタ T_{pc1} , T_{pc2} , T_{nc1} , T_{nc2}
と、インバータ回路 INV_c とを有している。トランジスタ T_{pc1} , T_{pc2} は、
pチャネルMOS・FETからなり、トランジスタ T_{nc1} , T_{nc2} は、nチャ
20 ネルMOS・FETからなる。

コントロール信号線 C は、インバータ回路 INV_c を介してトランジスタ T_{pc1} , T_{nc1} のゲート電極に電氣的に接続されているとともに、インバータ回路
 INV_c を介さないでトランジスタ T_{pc2} , T_{nc2} のゲート電極に電氣的に接
続されている。

25 すなわち、本実施の形態においては、コントロール信号線 C を2つの配線経路
に分けるとともに、その一方の配線経路はインバータ回路 INV_c を介して後段
の回路と電氣的に接続し、その他方の配線経路はインバータ回路 INV_c を介さ
ずに後段の回路と電氣的に接続する構成となっている。

これにより、1つのコントロール信号から電位の異なる2つのコントロール信

号を生成し、その電位の異なる 2 つの信号を、それぞれコントロール信号 C_{wl} , C_{su} としてスイッチ用トランジスタ T_{ps} , T_{ns} に伝送する構成になっている。

トランジスタ T_{pc1} , T_{nc1} の一方の半導体領域は、スイッチ用トランジスタ T_{ps} のゲート電極に電氣的に接続されている。また、トランジスタ T_{pc1} の他方の半導体領域は、ウエル給電用線 V_{wl} と電氣的に接続され、トランジスタ T_{nc1} の他方の半導体領域は、ウエル給電用線 V_{su} と電氣的に接続されている。

一方、トランジスタ T_{pc2} , T_{nc2} の一方の半導体領域は、スイッチ用トランジスタ T_{ns} のゲート電極に電氣的に接続されている。また、トランジスタ T_{pc2} の他方の半導体領域はウエル給電用線 V_{wl} と電氣的に接続され、トランジスタ T_{nc2} の他方の半導体領域はウエル給電用線 V_{su} と電氣的に接続されている。

このように、本実施の形態によれば、図 20 などを用いて説明した前記実施の形態で得られた効果の他に以下の効果を得ることが可能となる。すなわち、スイッチ用トランジスタ T_{ps} , T_{ns} のオン・オフを制御するためのコントロール信号線を 1 本にすることが可能となる。

次に、本発明の他の実施の形態を図 27 および図 28 によって説明する。本実施の形態においては、本発明を、たとえばデスクトップ型やラップトップ型のパーソナルコンピュータなどのような計算機に内蔵される S R A M (Static Random Access Memory) などに適用した場合について説明する。

図 27 は S R A M を有する半導体チップ S C の平面図である。半導体チップ S C の中央および一方の長辺近傍 (図 27 の下方側の長辺) には、周辺回路領域 P_1 , P_2 が配置されている。

その中央の周辺回路領域 P_1 には、たとえばデコーダ回路などのような周辺回路が形成されている。また、その長辺近傍の周辺回路領域 P_2 には、たとえばセンスアンプ回路や書き込み回路などのような周辺回路が形成されている。

この周辺回路領域 P_1 , P_2 においても前記実施の形態と同様に前記スイッチ用トランジスタ T_{ps} , T_{ns} (図 3、図 20 等参照) が配置されている。その配置の仕方は、1 つの論理ゲート毎に 1 個のスイッチ用トランジスタを配置しても良い

し、複数の論理ゲート毎に1個のスイッチ用トランジスタを配置しても良い。したがって、半導体集積回路装置の周辺回路においても前記実施の形態で得られた効果が得られるようになっている。

また、半導体チップSCにおいて、中央の周辺回路領域P1の両側にはメモリセルアレイM1, M2が配置されている。このメモリセルアレイM1, M2には、後述する複数のメモリセルが図27の縦横方向に規則的に配置されている。

本実施の形態においては、メモリセルアレイM1, M2内にも前記スイッチ用トランジスタが配置されている。このスイッチ用トランジスタは、メモリセルアレイM1, M2内において規則的に並んで配置されている複数個の黒塗りの四角形によって示されている。

ただし、このスイッチ用トランジスタは、各メモリセルアレイM1, M2内に複数個設けることに限定されるものではなく、各メモリセルアレイM1, M2に1個ずつ設けるようにしても良い。

また、スイッチ用トランジスタの配置の仕方は図27の縦横方向に配置する仕方に限定されるものではなく、たとえば図27の縦方向または横方向のみに並べて配置するようにしても良い。

図28は、このSRAMのメモリセルMCを示している。メモリセルMCは、たとえばCMOS構造の2段のインバータを交差させて接続して得られるフリップフロップ回路を基本として構成されており、ワード線WLとビット線BLとの交差点近傍に配置されている。

各インバータは、トランジスタ T_{pm} , T_{nm} からなり、一方のインバータの入力および出力は、それぞれ他方のインバータの出力および入力に電氣的に接続され構成されている。なお、トランジスタ T_{pm} は、pチャネルMOS・FETからなり、トランジスタ T_{nm} は、nチャネルMOS・FETからなる。

このメモリセルMCは、トランジスタ T_{nms} を介してビット線BLと電氣的に接続されている。このトランジスタ T_{nms} は、たとえばnチャネルMOS・FETからなり、そのゲート電極はワード線WLと電氣的に接続されている。なお、このようなメモリセルMCがメモリセルアレイに複数個規則的に配置されている。

ところで、本実施の形態においては、メモリセルMCにおけるトランジスタ T_{pm} 、 T_{nm} の基板電位およびトランジスタ T_{nms} の基板電位をメモリセルMCの外部からコントロールすることが可能な構造となっている。すなわち、以下のような構成になっている。

- 5 メモリセルアレイM1, M2 (図27参照) には、ワード線WLに平行に延在するウエル給電用線 V_{wl} 、 V_{su} がメモリセルMCを挟み込むように形成されている。このウエル給電用線 V_{wl} 、 V_{su} は、メモリセルMCのトランジスタ T_{pm} 、 T_{nm} およびトランジスタ T_{nms} のウエルと電氣的に接続されているとともに、それぞれスイッチ用トランジスタ T_{ps} 、 T_{ns} を介して電源電圧線 V_{dd} 、 V_{ss}
- 10 と電氣的に接続されている。

- 本実施の形態においては、このスイッチ用トランジスタ T_{ps} 、 T_{ns} が複数のメモリセルMCに対して1個の割合で配置されている。これにより、スイッチ用トランジスタ T_{ps} 、 T_{ns} をメモリセルアレイM1, M2に設けたことによるチップサイズ的大幅な増大を防ぐことが可能となっている。なお、ウエル給電用線 V_{wl} 、
- 15 V_{su} と各トランジスタ T_{pm} 、 T_{nm} 、トランジスタ T_{nms} のウエルとの接続の仕方は、図21または図22で示したように、ウエルを通じて行っても良いし、配線を通じて行っても良い。

- このような本実施の形態においては、半導体集積回路装置の試験において、メモリセルアレイM1, M2におけるスイッチ用トランジスタ T_{ps} 、 T_{ns} をオフし、
- 20 ウエル給電用線 V_{wl} 、 V_{su} から各トランジスタ T_{pm} 、 T_{nm} 、トランジスタ T_{nms} の基板電位に所定の電圧を印加する。これにより、試験時におけるリーク電流の問題を回避することができ、そのリーク電流に起因するエージング試験時の熱暴走の問題も回避することが可能となる。

- 一方、半導体集積回路装置の通常動作時においては、コントロール信号線 C_{wl} 、
- 25 C_{su} にそれぞれ電源電圧 V_{dd} 、 V_{ss} を印加することにより、スイッチ用トランジスタ T_{ps} 、 T_{ns} をオンする。これにより、電源電圧線 V_{dd} 、 V_{ss} とウエル給電用線 V_{wl} 、 V_{su} とを電氣的に接続してトランジスタ T_p 、 T_n の基板電位をそれぞれ電源電圧 V_{dd} 、 V_{ss} に設定する。これにより、トランジスタ T_{pm} 、 T_{nm} 、 T_{nms} の基板電位の変動を抑えることができるので、その基板電位の変動に起因

するラッチアップおよび動作速度の変動を防止することができ、半導体集積回路装置の動作信頼性を確保することが可能となる。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない

5 範囲で種々変更可能であることはいうまでもない。

たとえば、半導体基板は、絶縁層上に素子形成用の薄い半導体層を設ける、いわゆるSOI (Silicon on Insulator) 構造の半導体基板などを使用することができ、CMOS・FETを形成する領域の外部にMOS・FETまたはバイポーラトランジスタなどの種々の半導体素子を組み合わせた態様の回路を有する半導

10 体集積回路装置およびその製造技術とすることができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である論理ゲート回路または半導体メモリ回路単体の半導体集積回路装置技術に適用した場合について説明したが、それに限定されるものではなく、たとえばワンチップマイコン等のような同一半導体基板上に論理ゲート回路および半

15 導体メモリ回路を有する半導体集積回路装置技術等に適用できる。本発明は、少なくともCMIS (Complimentary Metal Insulator Semiconductor) 構造を有する半導体集積回路装置条件のものに適用できる。

産業上の利用可能性

20 以上のように、本発明の半導体集積回路装置は、移動体電子機器やビデオカメラなどのような小形電子機器またはデスクトップ型やラップトップ型のパーソナルコンピュータなどのような計算機に内蔵される半導体集積回路装置に用いて好適なものである。

請 求 の 範 囲

1. 半導体基板に形成されている第1導電型ウエルに第2導電型MOS・FETを有し、前記半導体基板に形成されている第2導電型ウエルに第1導電型MOS・FETを有し、前記第1導電型MOS・FETと前記第2導電型MOS・FETとによりCMOS・FETが構成されており、前記CMOS・FETに接続されている第1の電源電圧線と前記第1の電源電圧線よりも小さい電圧が印加されている第2の電源電圧線とは独立に第3の電源電圧線および第4の電源電圧線を有し、前記第3の電源電圧線により前記第1導電型ウエルに必要なに応じて給電できると共に前記第4の電源電圧線により前記第2導電型ウエルに必要なに応じて給電できることを特徴とする半導体集積回路装置。
2. 請求項1記載の半導体集積回路装置であって、前記第1の電源電圧線と前記第3の電源電圧線との間にMOS・FETからなる第1のスイッチ用トランジスタが接続されており、前記第2の電源電圧線と前記第4の電源電圧線との間にMOS・FETからなる第2のスイッチ用トランジスタが接続されており、前記第1のスイッチ用トランジスタを必要なに応じて動作させることにより前記第1の電源電圧線と前記第3の電源電圧線とを短絡させることができると共に前記第2のスイッチ用トランジスタを必要なに応じて動作させることにより前記第2の電源電圧線と前記第4の電源電圧線とを短絡させることができることを特徴とする半導体集積回路装置。
3. 請求項2記載の半導体集積回路装置であって、前記第1のスイッチ用トランジスタのソースは、前記第2導電型MOS・FETにおける前記第1の電源電圧線が接続されているソースと隣接して配置されていると共に同一の半導体領域となっており、前記第2のスイッチ用トランジスタのソースは、前記第1導電型MOS・FETにおける前記第2の電源電圧線が接続されているソースと隣接して配置されていると共に同一の半導体領域となっていることを特徴とする半導体集積回路装置。
4. 請求項2記載の半導体集積回路装置であって、前記第1のスイッチ用トランジスタと前記第2のスイッチ用トランジスタは、論理ゲートの単位毎に1組配置されていることを特徴とする半導体集積回路装置。

5. 請求項 2 記載の半導体集積回路装置であって、前記第 1 のスイッチ用トランジスタと前記第 2 のスイッチ用トランジスタは、試験の際にオフ状態すなわち非接続状態となっており、通常動作の際にオン状態すなわち接続状態となっていることを特徴とする半導体集積回路装置。

- 5 6. 半導体基板の表面に第 1 導電型ウエルおよび第 2 導電型ウエルを形成する工程と、

前記第 1 導電型ウエルに CMOS・FET を構成する第 2 導電型 MOS・FET とそれとは別の MOS・FET からなる第 1 のスイッチ用トランジスタを形成する工程と、

- 10 前記第 2 導電型ウエルに CMOS・FET を構成する第 1 導電型 MOS・FET とそれとは別の MOS・FET からなる第 2 のスイッチ用トランジスタを形成する工程と、

前記 CMOS・FET を構成する前記第 2 導電型 MOS・FET のソースに接続するように第 1 の電源電圧線を形成する工程と、

- 15 前記 CMOS・FET を構成する前記第 1 導電型 MOS・FET のソースに接続するように第 2 の電源電圧線を形成する工程と、

前記第 1 のスイッチ用トランジスタのドレインおよび前記第 1 導電型ウエルに接続するようにウエル給電用線を形成する工程と、

- 20 前記第 2 のスイッチ用トランジスタのドレインおよび前記第 2 導電型ウエルに接続するようにウエル給電用線を形成する工程と、

前記第 1 のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程と、

- 25 前記第 2 のスイッチ用トランジスタのゲート電極に接続するようにコントロール信号線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

7. 請求項 6 記載の半導体集積回路装置の製造方法であって、前記第 1 のスイッチ用トランジスタのソースは、前記第 2 導電型 MOS・FET におけるソースと隣接して配置されていると共に同一の半導体領域とし、前記第 2 のスイッチ用トランジスタのソースは、前記第 1 導電型 MOS・FET におけるソースと隣接し

て配置されていると共に同一の半導体領域として形成することを特徴とする半導体集積回路装置の製造方法。

8. 請求項 6 記載の半導体集積回路装置の製造方法であって、前記第 1 のスイッチ用トランジスタのドレインおよび前記第 1 導電型ウェルに接続するように前記
5 ウェル給電用線を形成する工程と、前記第 2 のスイッチ用トランジスタのドレインおよび前記第 2 導電型ウェルに接続するように前記ウェル給電用線を形成する工程とを同一工程により行うことを特徴とする半導体集積回路装置の製造方法。

9. 請求項 6 記載の半導体集積回路装置の製造方法であって、前記第 1 のスイッチ用トランジスタのゲート電極に接続するように前記コントロール信号線を形成
10 する工程と、前記第 2 のスイッチ用トランジスタのゲート電極に接続するように前記コントロール信号線を形成する工程とを同一工程により行うことを特徴とする半導体集積回路装置の製造方法。

10. 請求項 2 記載の半導体集積回路装置において、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタを、複数の論理ゲートに対して 1
15 組の割合で設けたことを特徴とする半導体集積回路装置。

11. 請求項 10 記載の半導体集積回路装置において、前記第 3 の電源電圧線および第 4 の電源電圧線を導体配線で構成し、前記複数の論理ゲートの各々を配置するための各セル領域毎に、前記第 3 の電源電圧線用の導体配線と前記第 1 導電型
20 ウェルとを接続する接続部を設け、かつ、前記第 4 の電源電圧用の導体配線と前記第 2 導電型ウェルとを接続する接続部を設けたことを特徴とする半導体集積回路装置。

12. 請求項 10 記載の半導体集積回路装置において、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタの入力の前段に、1 本のコントロール信号線におけるコントロール信号を電位の異なる 2 つのコントロール信号に
25 分けて、その各々のコントロール信号をそれぞれ前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタの入力に伝送するためのスイッチ制御部を設けたことを特徴とする半導体集積回路装置。

13. 請求項 2 記載の半導体集積回路装置において、前記第 1 のスイッチ用トランジスタおよび第 2 のスイッチ用トランジスタを電源電圧線が配置される空き領

域に設けたことを特徴とする半導体集積回路装置。

14. 請求項13記載の半導体集積回路装置において、前記第1のスイッチ用トランジスタおよび第2のスイッチ用トランジスタを、複数の論理ゲートに対して1組の割合で設けたことを特徴とする半導体集積回路装置。

- 5 15. 請求項13記載の半導体集積回路装置において、前記第3の電源電圧線および第4の電源電圧線を導体配線で構成し、複数の論理ゲートの各々を配置するための各セル領域毎に、前記第3の電源電圧線用の導体配線と前記第1導電型ウエルとを接続する接続部を設け、かつ、前記第4の電源電圧線の導体配線と前記第2導電型ウエルとを接続する接続部を設けたことを特徴とする半導体集積回路装置。

10 16. 請求項13記載の半導体集積回路装置において、前記電源電圧線を半導体チップの主面上に格子状に配置したことを特徴とする半導体集積回路装置。

17. 請求項16記載の半導体集積回路装置において、前記第1のスイッチ用トランジスタおよび第2のスイッチ用トランジスタを、前記半導体チップに配置された複数のセル領域の列と、そのセル領域の配列方向に対して交差するように延びる電源電圧線との交差領域に設けたことを特徴とする半導体集積回路装置。

18. 半導体基板上にCMIS回路を有する半導体集積回路装置であって、

(a) 前記CMIS回路を構成する第1導電型MISTランジスタおよびそれとは反対導電型の第2導電型MISTランジスタと、

- 20 (b) 前記半導体基板に形成され、前記第2導電型MISTランジスタが配置される第1導電型ウエルと、

(c) 前記半導体基板に形成され、前記第1導電型MISTランジスタが配置される第2導電型ウエルと、

- 25 (d) 前記CMIS回路に電源電圧を供給するための第1の電源電圧線およびその第1の電源電圧線の電位よりも低電位の電圧が供給される第2の電源電圧線と、

(e) 前記第1導電型ウエルに所定の電位を供給するための第3の電源電圧線と、

(f) 前記第2導電型ウエルに所定の電位を供給するための第4の電源電圧線

と、

- (g) 前記第 1 の電源電圧線と前記第 3 の電源電圧線との間に電氣的に接続され、通常動作時には、その第 1 の電源電圧線と第 3 の電源電圧線とを電氣的に接続し、かつ、試験時にはその第 1 の電源電圧線と第 3 の電源電圧線
5 とを電氣的に非接続状態にする第 1 のスイッチ用トランジスタと、

(h) 前記第 2 の電源電圧線と前記第 4 の電源電圧線との間に電氣的に接続され、通常動作時には、その第 2 の電源電圧線と第 4 の電源電圧線とを電氣的に接続し、かつ、試験時にはその第 2 の電源電圧線と第 4 の電源電圧線とを電氣的に非接続状態にする第 2 のスイッチ用トランジスタとを備え、

- 10 (i) 前記試験時には前記第 3 の電源電圧線および第 4 の電源電圧線にそれぞれ所定電位の試験用電圧を供給する構成としたことを特徴とする半導体集積回路装置。

19. 半導体基板に第 1 導電型ウエルおよびそれとは反対導電型の第 2 導電型ウエルとを有する半導体集積回路装置であって、

- 15 (a) 前記半導体集積回路装置に電源電圧を供給するための第 1 の電源電圧線およびその第 1 の電源電圧線の電位よりも低電位の電圧が供給される第 2 の電源電圧線と、

(b) 前記第 1 導電型ウエルに所定の電位を供給するための第 3 の電源電圧線と、

- 20 (c) 前記第 2 導電型ウエルに所定の電位を供給するための第 4 の電源電圧線と、

(d) 前記第 1 の電源電圧線と前記第 3 の電源電圧線との間に電氣的に接続され、前記第 1 の電源電圧線と前記第 3 の電源電圧線とを電氣的に接続状態にしたり、非接続状態にしたりするための第 1 のスイッチ用トランジスタと、

- 25 (e) 前記第 2 の電源電圧線と前記第 4 の電源電圧線との間に電氣的に接続され、前記第 2 の電源電圧線と前記第 4 の電源電圧線とを電氣的に接続状態にしたり、非接続状態にしたりするための第 2 のスイッチ用トランジスタとを有することを特徴とする半導体集積回路装置。

図 2

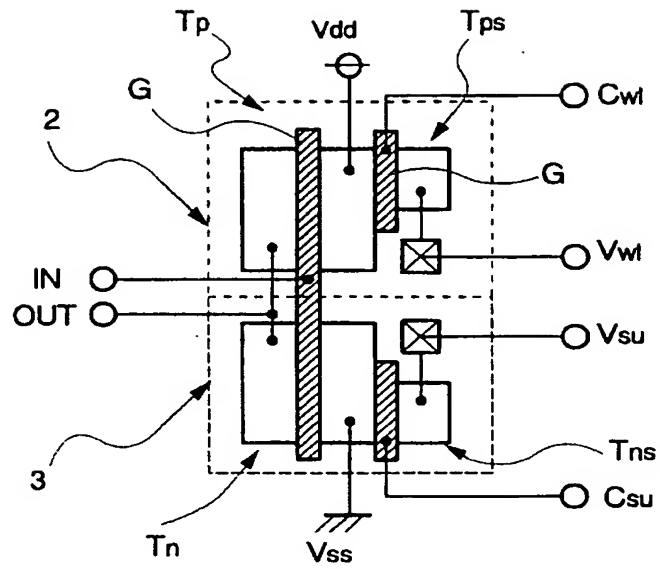


図 3

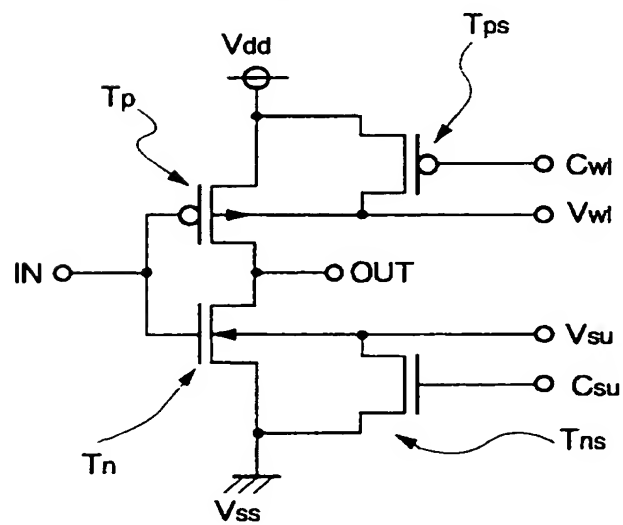


図 4

	通常状態	エージング リーク電流テスト
V_{wl}	V_{dd}	$V_{dd} + \Delta V_{BB}$
V_{su}	V_{ss}	$V_{ss} - \Delta V_{BB}$
O_{wl}	V_{ss}	$V_{wl} (V_{dd} + \Delta V_{BB})$
C_{su}	V_{dd}	$V_{su} (V_{ss} - \Delta V_{BB})$

図 5

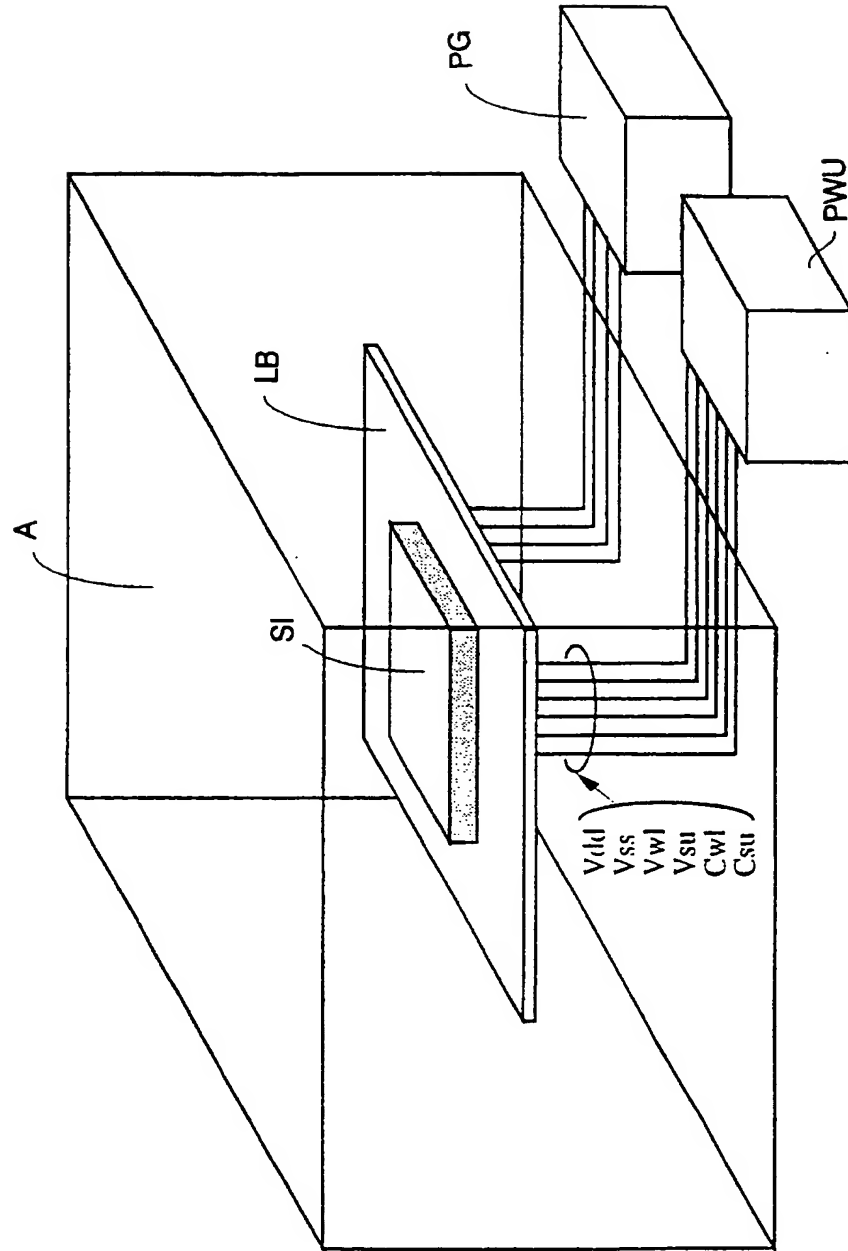


図 6

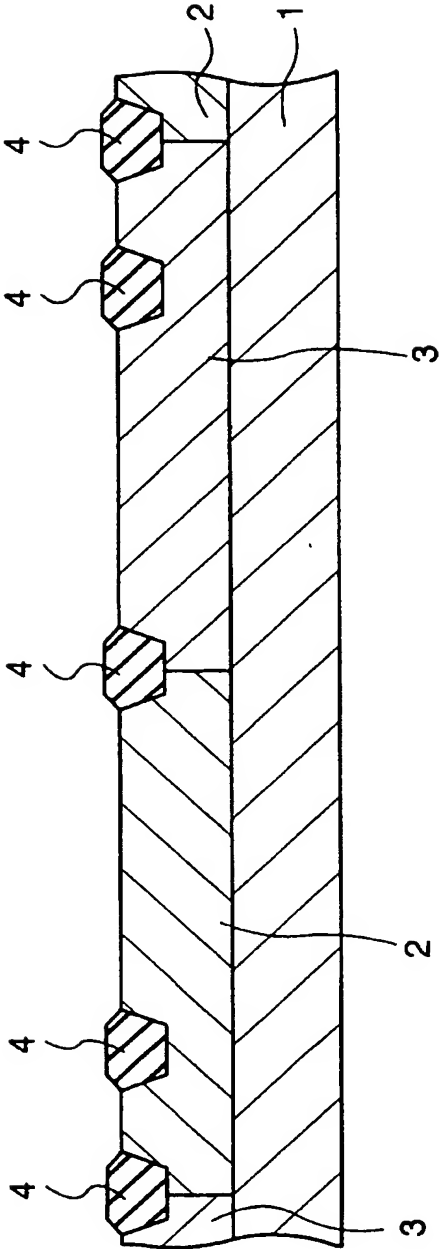
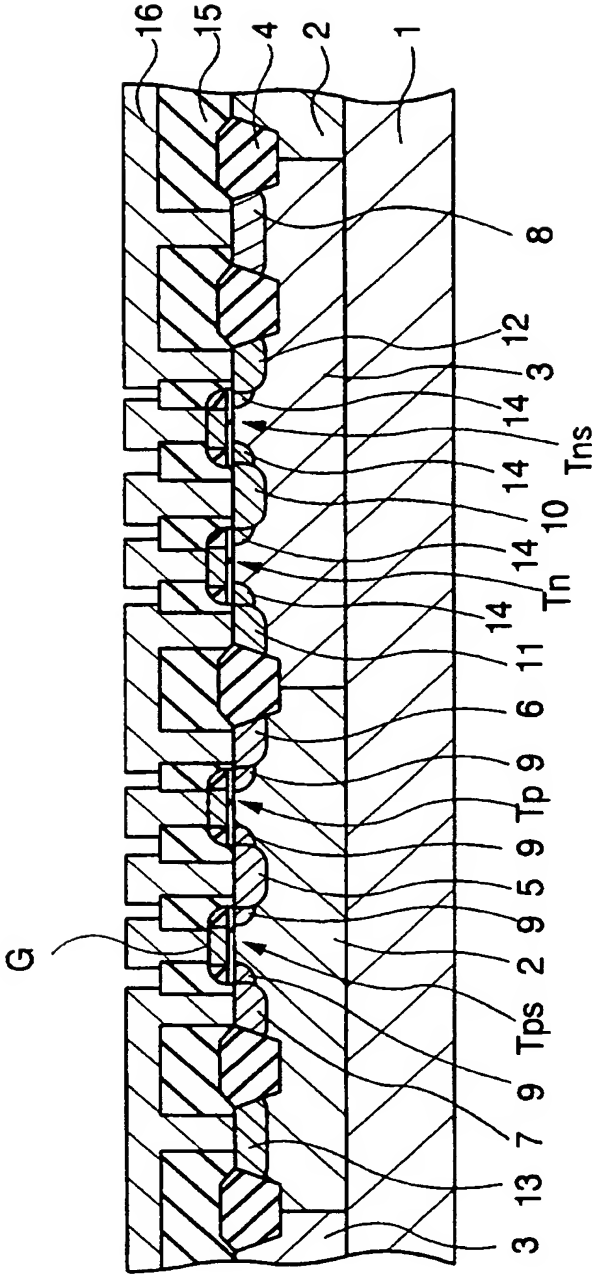


図 8



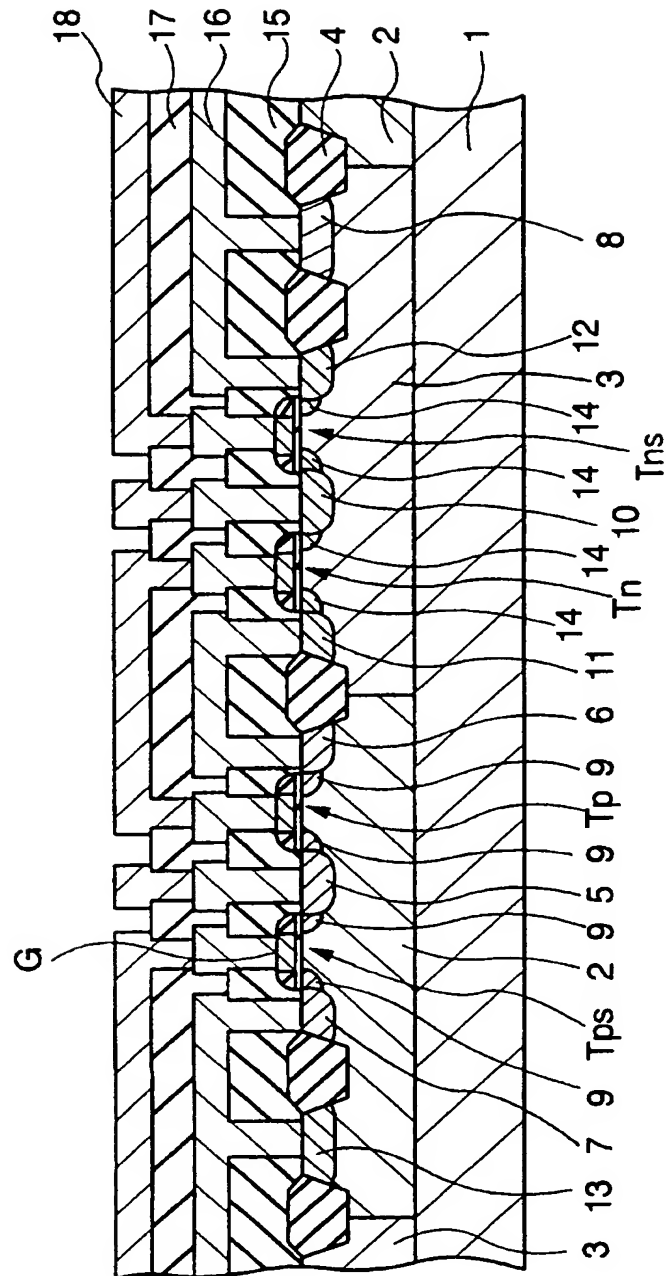
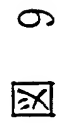


图 10

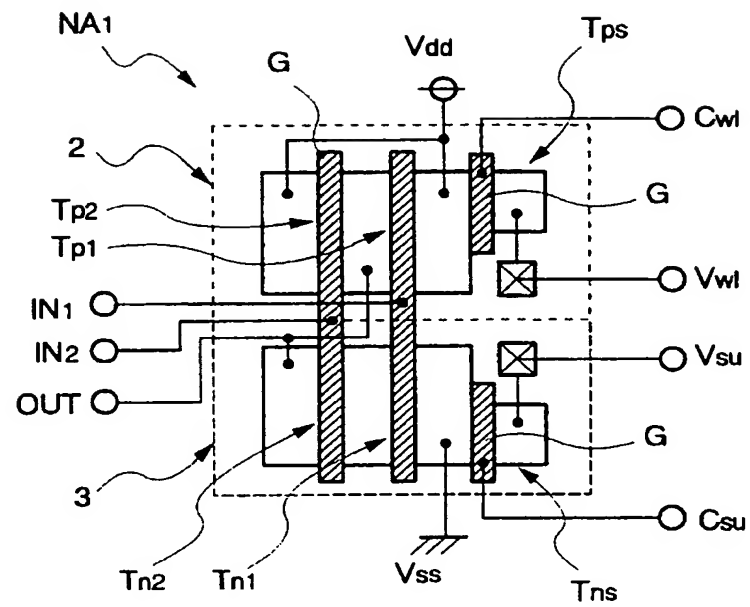


図 11

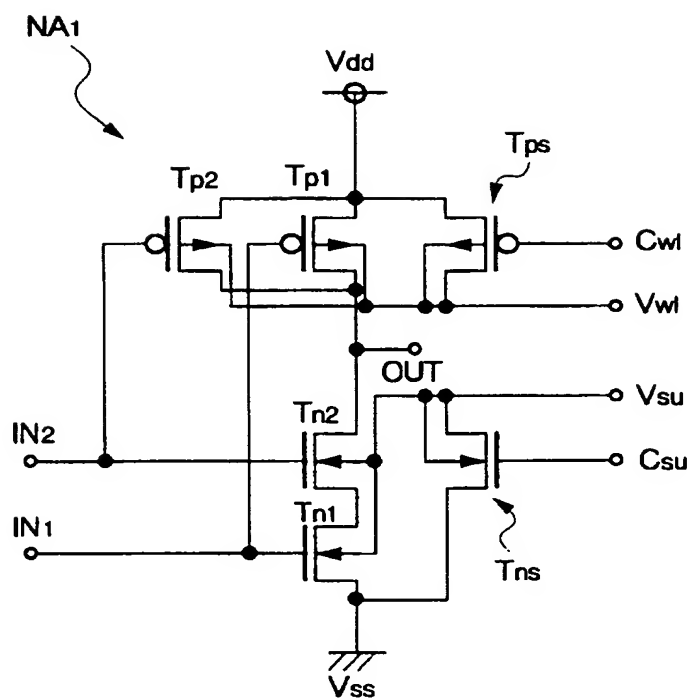


図 14

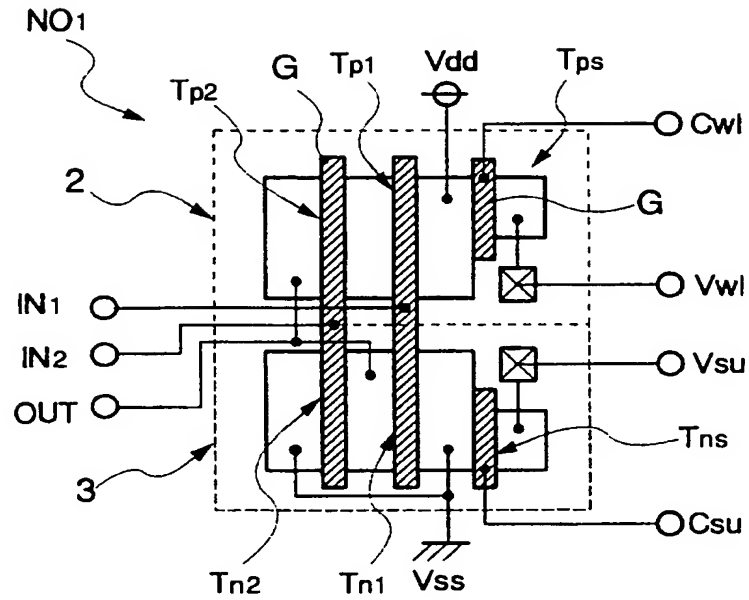


図 16

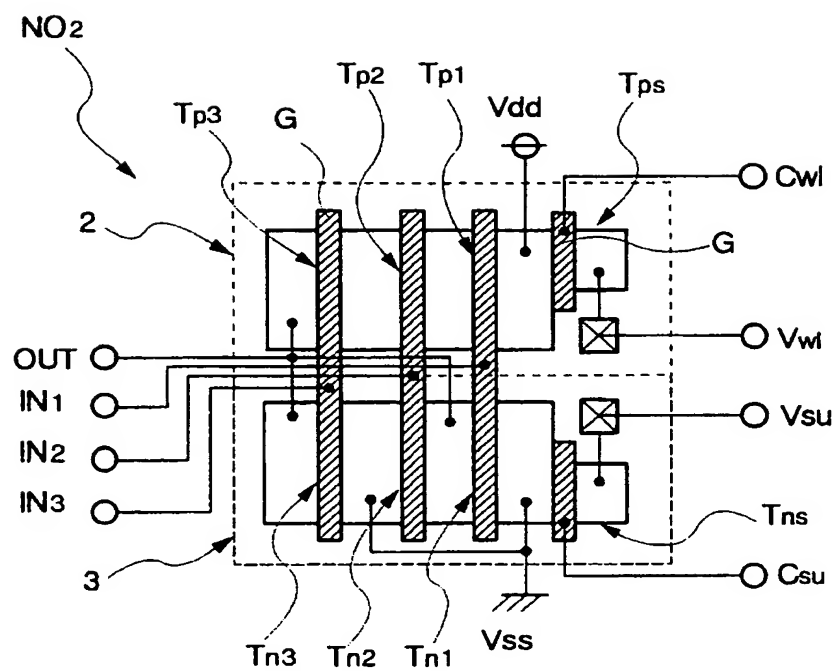


図 17

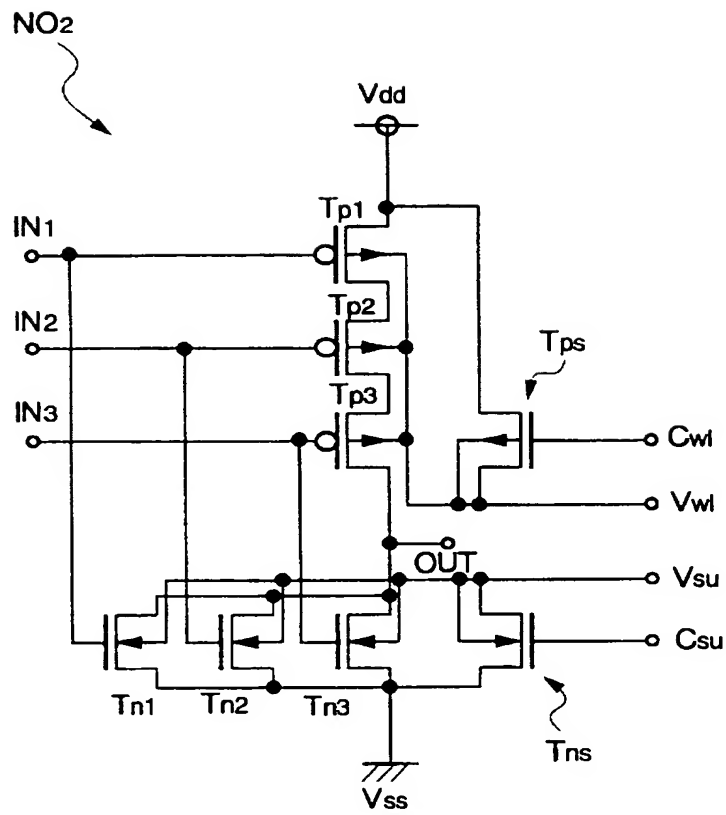
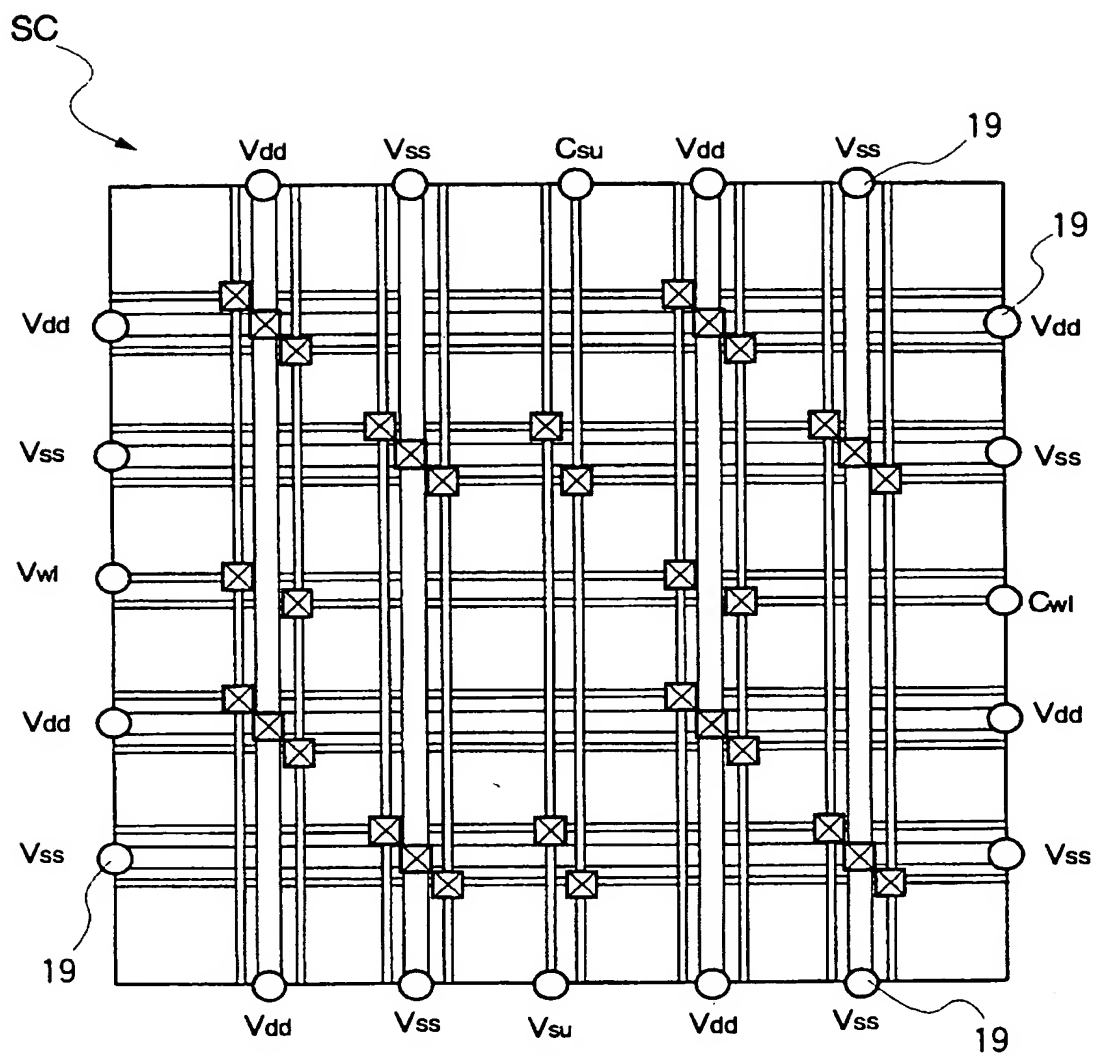


図 18



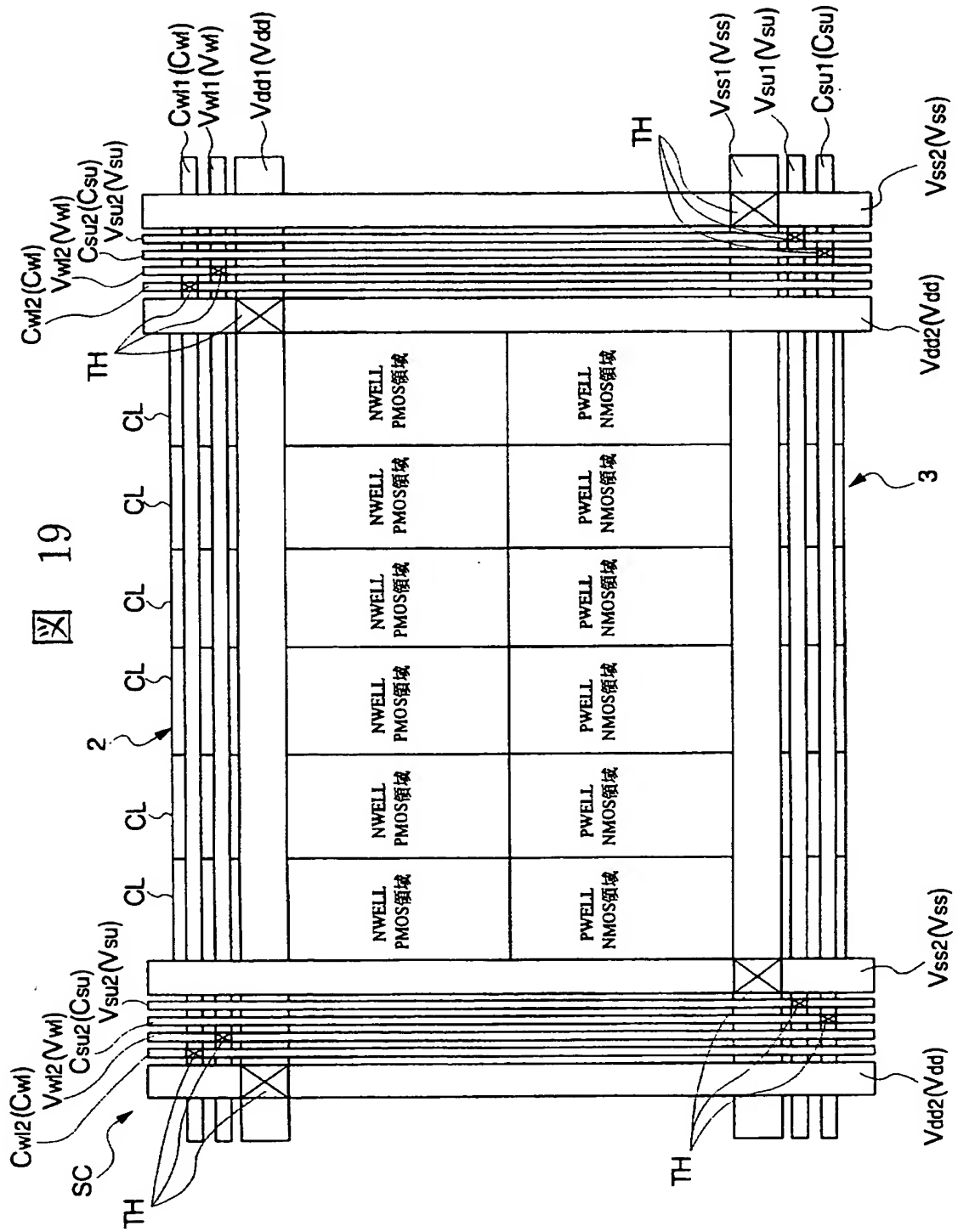


図 20

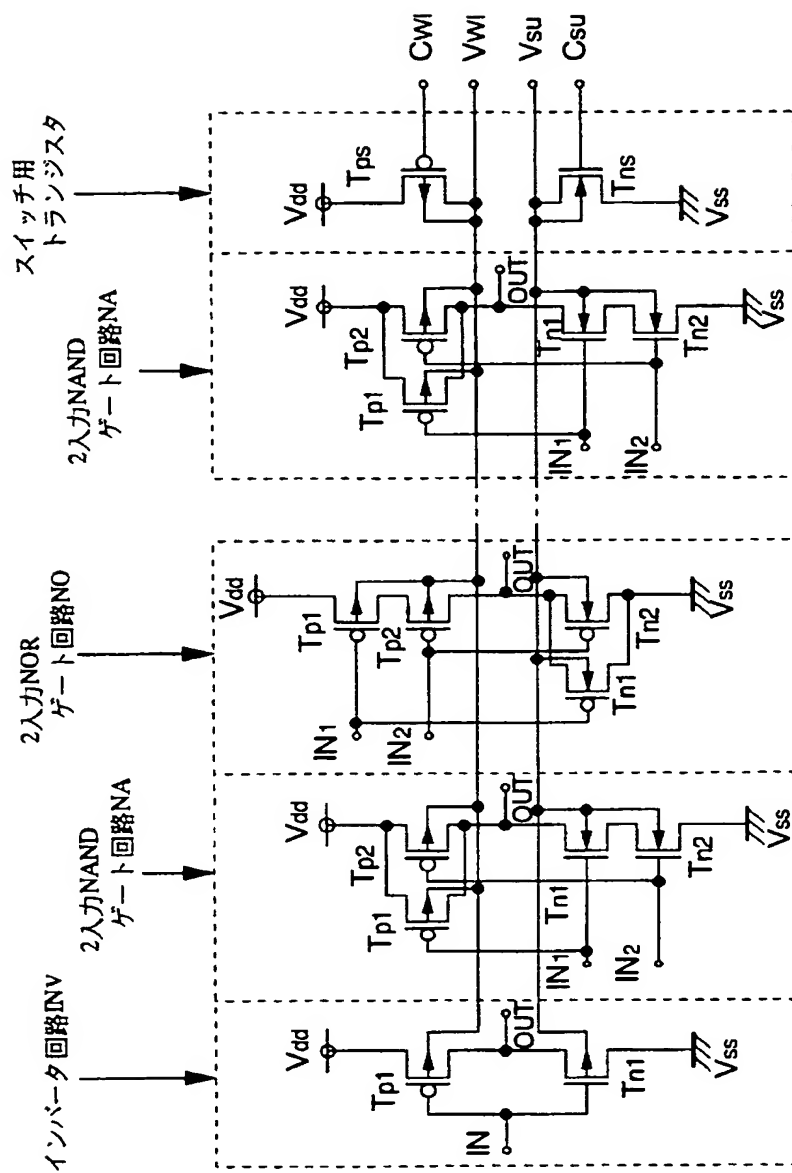


図 21

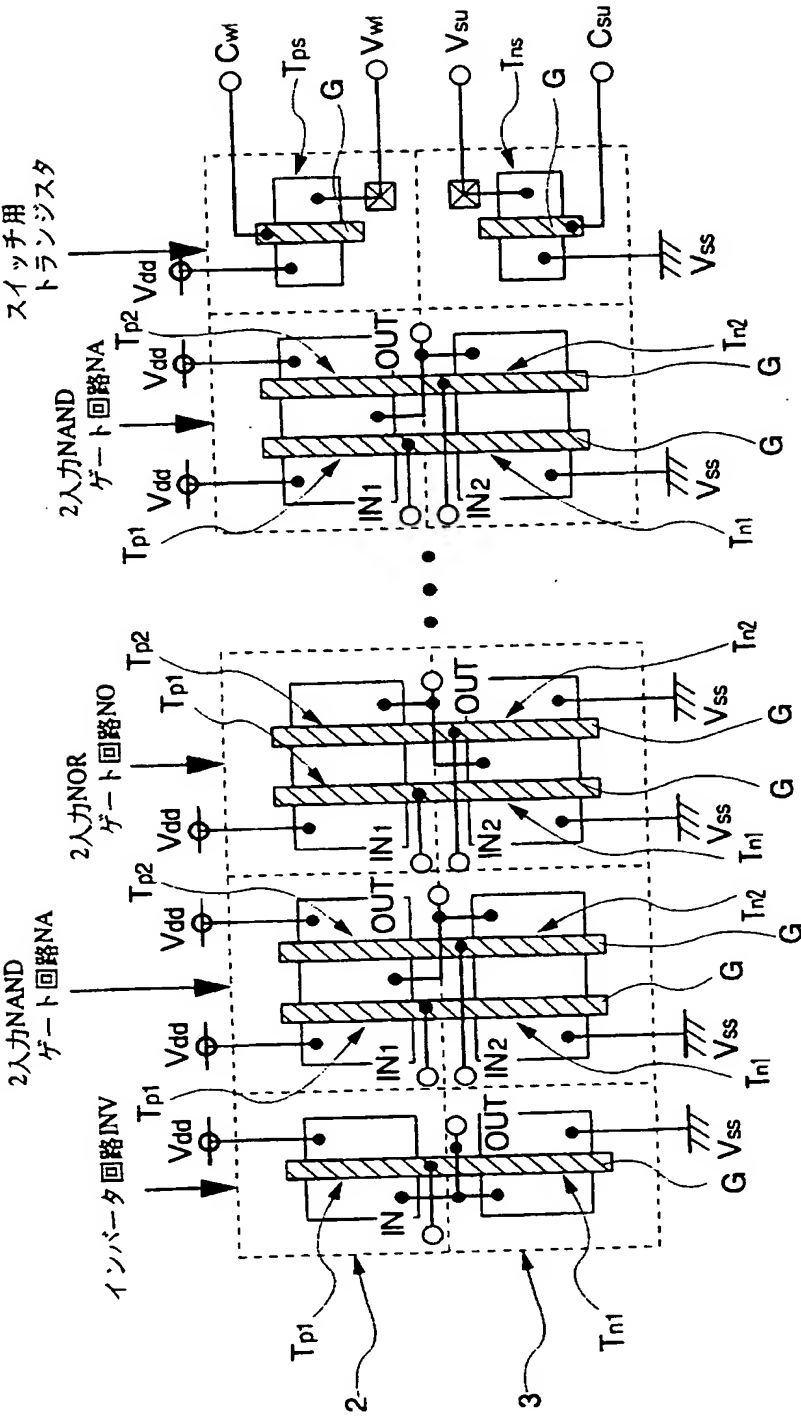
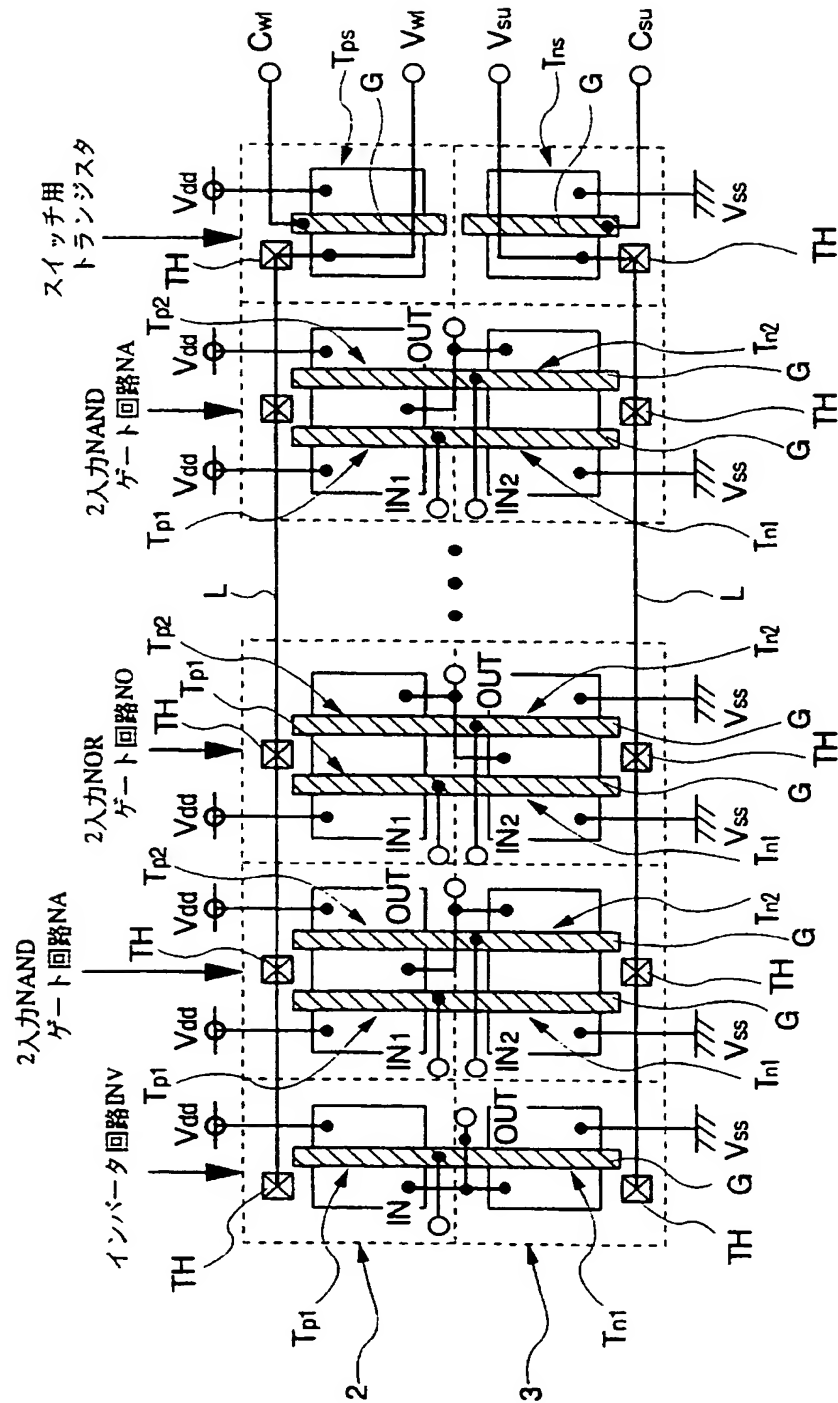


図 22



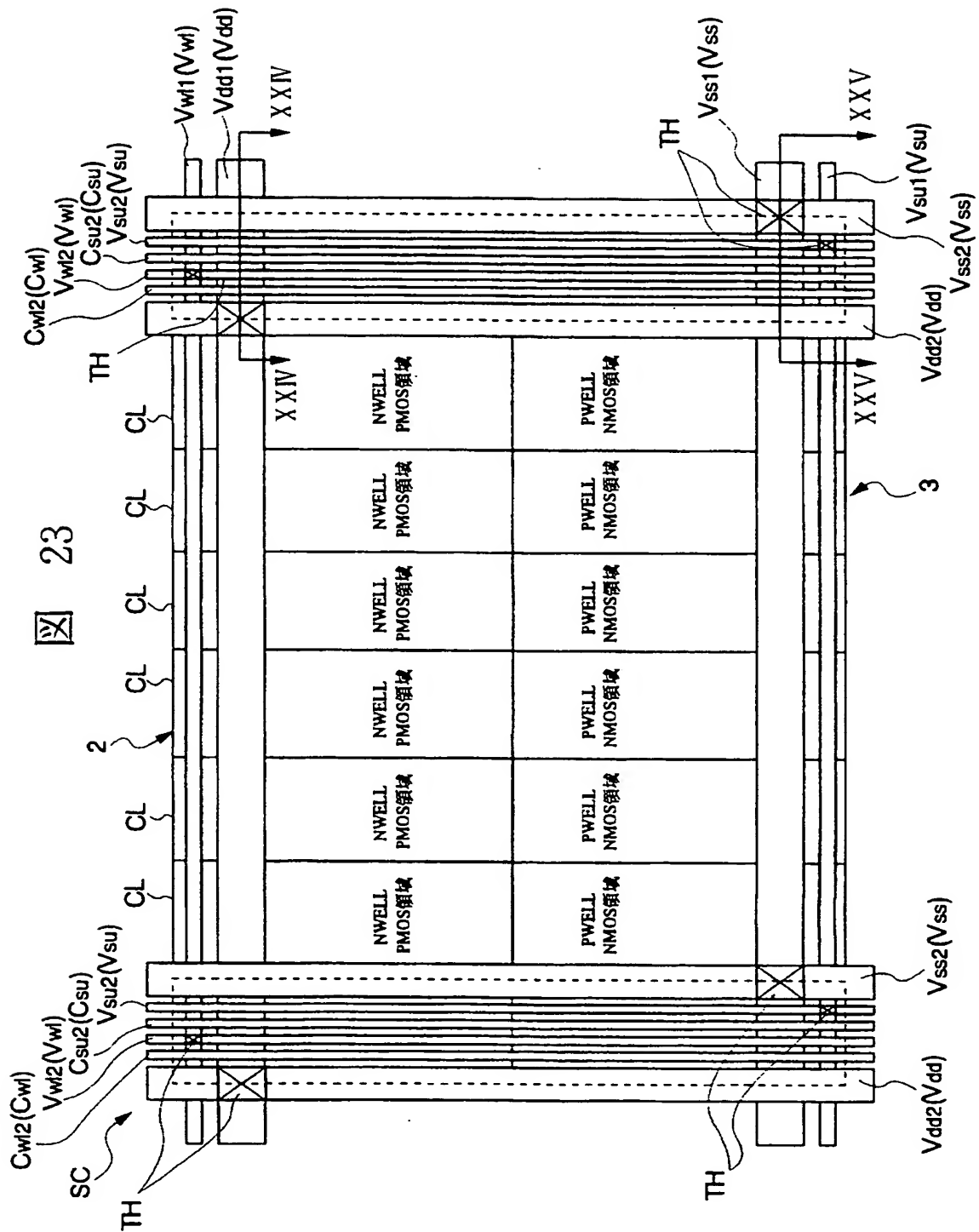


図 25

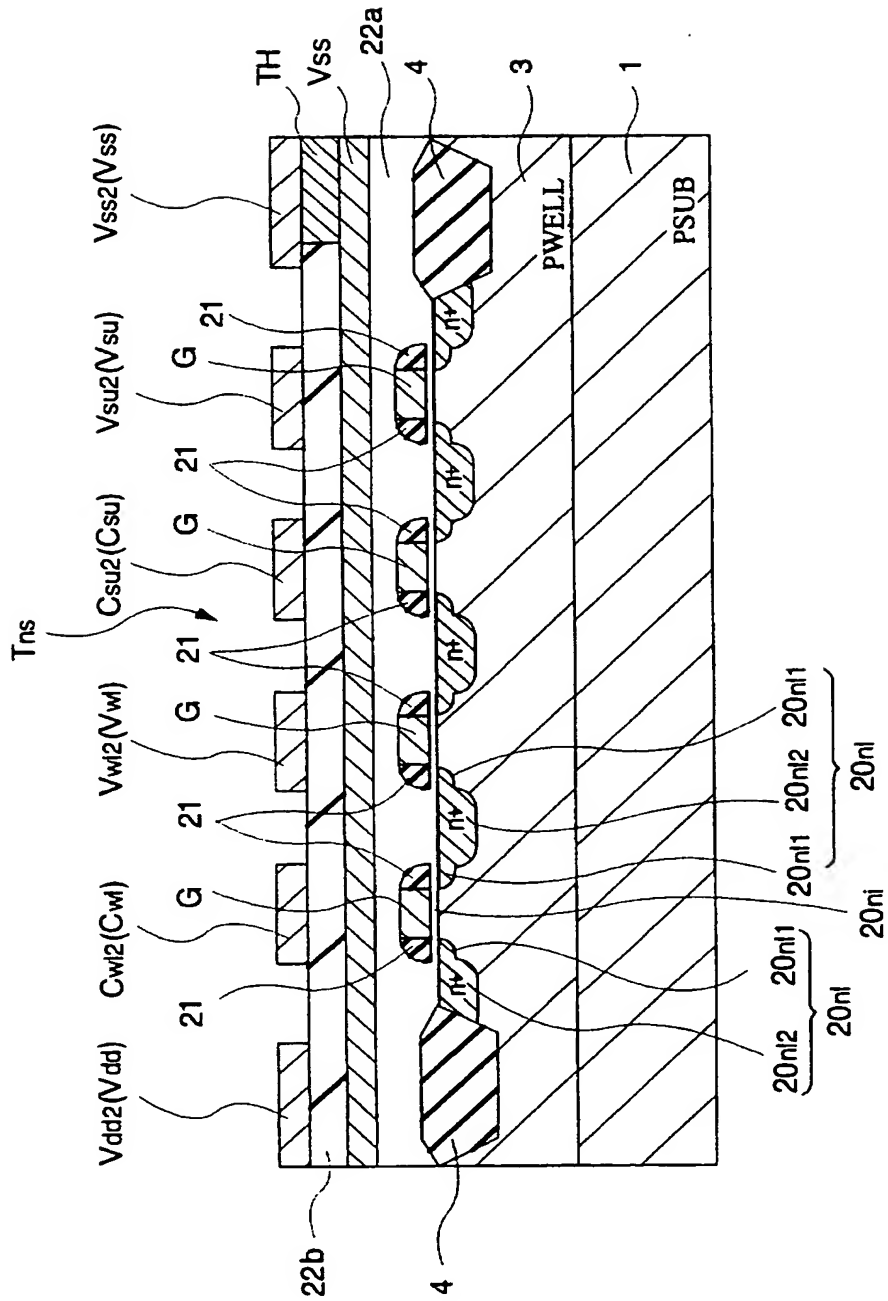


図 26

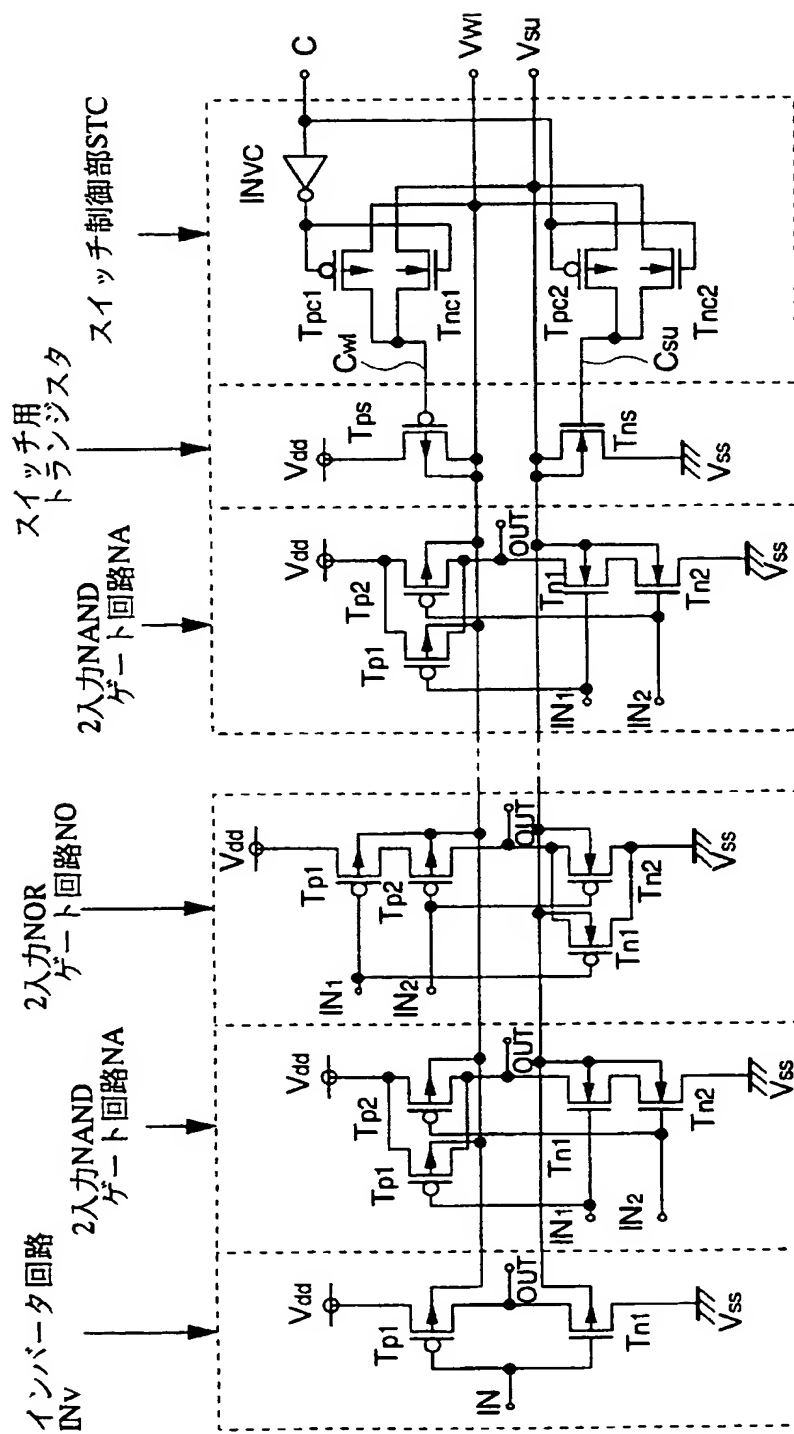


図 27

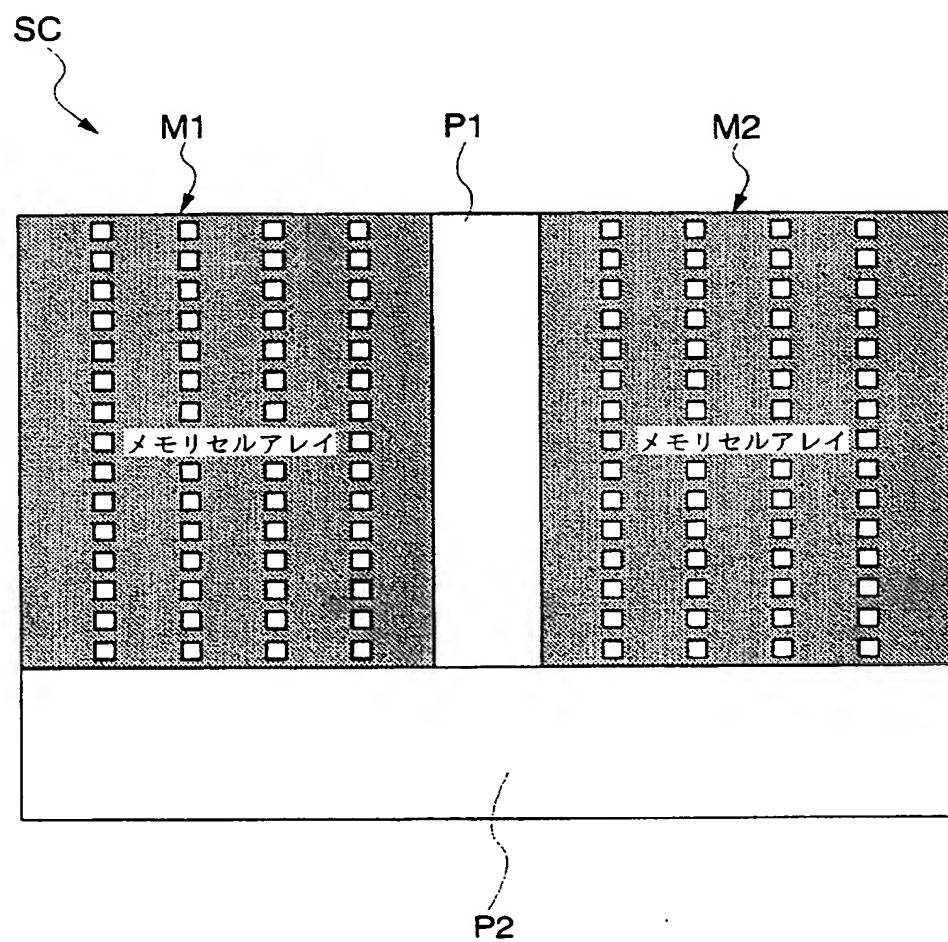
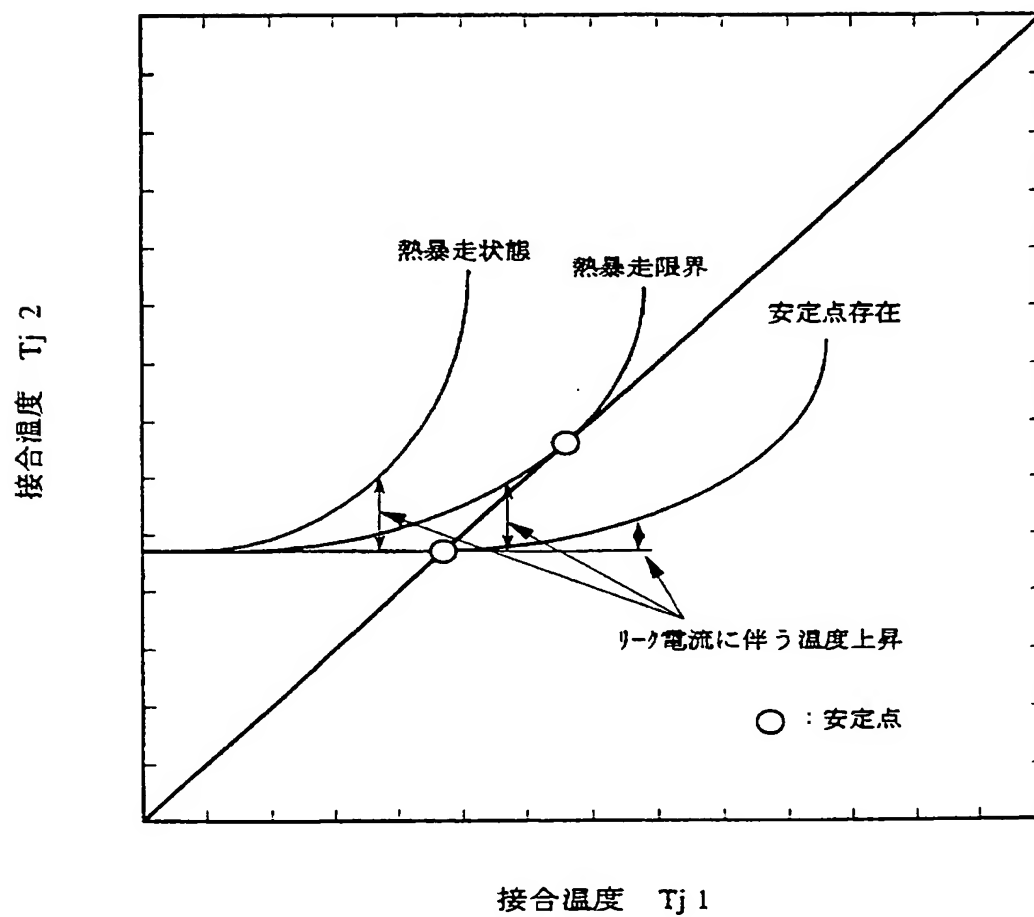


図 29



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/03469

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L27/092, H03K19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1964 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1995
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 06-120439, A (NEC Corp.), April 28, 1994 (28. 04. 94) (Family: none) Paragraphs 15 to 24	1-3, 5-7 13, 18, 19
Y	JP, 63-90847, A (Siemens AG.), April 21, 1988 (21. 04. 88) & EP, 262357 (06. 04. 88) Page 4, upper left column, line 12 to upper right column, line 11	1-3, 5-7 13, 18, 19
Y	JP, 06-85200, A (Sansei Denshi K.K.), March 25, 1994 (25. 03. 94) & FR, 2693587 (14. 01. 94) & DE, 4300826 (20. 01. 94) & GB, 2269049 (26. 01. 94) Paragraphs 4 to 10	18, 19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

February 25, 1997 (25. 02. 97)

Date of mailing of the international search report

March 11, 1997 (11. 03. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
intCl¹ H 01 L 27/092

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

intCl¹ H 01 L 27/092

intCl¹ H 03 K 19/0948

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1964-1997年

日本国公開実用新案公報 1971-1995年

日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P、06-120439、A (日本電気株式会社)、28.4月.1994 (28.04.94)、(ファミリーなし) 第15パラグラフ~第24パラグラフ	1~3、5~7 13、18、19
Y	J P、63-90847、A (シーメンスアクチエンゲゼルシャフト)、 21.4月.1988、(21.04.88)&EP262357(06.04.88) 第4頁左上欄第12行~第4頁右上欄11行	1~3、5~7 13、18、19
Y	J P、06-85200、A (三星電子株式会社)、25.3月.1994 (25.03.94)&FR2693587(14.01.94) &DE4300826(20.01.94) &GB2269049(26.01.94) 第4パラグラフ~第10パラグラフ	18、19

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

25.02.97

国際調査報告の発送日

11.03.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 淳一

印

4M

9055

電話番号 03-3581-1101 内線6887